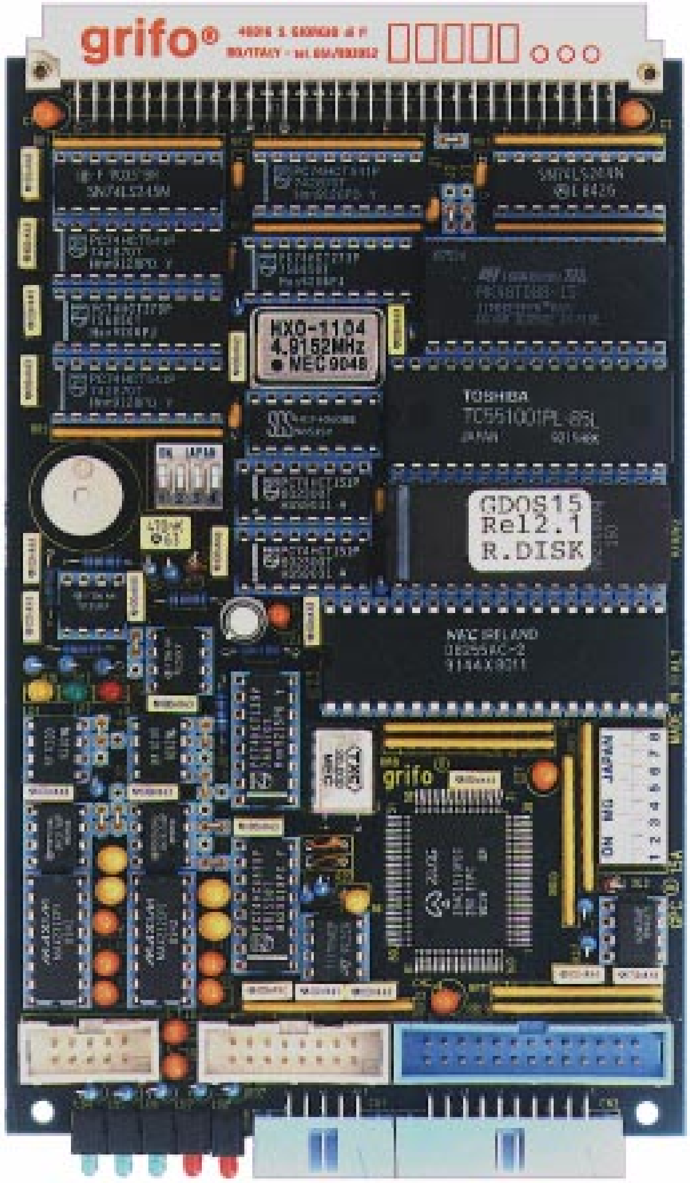
GPC® 15A

General Purpose Controller 84C15

MANUALE TECNICO



grifo®
ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY
E-mail: grifo@grifo.it
http://www.grifo.it http://www.grifo.com
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661

GPC® 15A Edizione 3.20 *Rel. 28 Marzo 2000*

abaco®, **GPC®**, **grifo®**, *sono marchi registrati della ditta* **grifo®**

GPC® 15A

General Purpose Controller 84C15

MANUALE TECNICO

Formato singola Europa da 100x160 mm con interfaccia per il **BUS industriale ABACO®**; **CPU CMOS 84C15** con quarzo da **20 MHz**; fino a **512K EPROM** o **256K FLASH EPROM** e fino a **128K SRAM** opzionalmente tamponata; **RAM/ROM disk** gestite tramite **FGDOS**; **EEPROM** seriale fino a 8 K; 4 o 12 **dip Switch** e un jumper di configurazione leggibili da software; **2 LEDs** di attività; **Buzzer** pilotabile via software; **2** linee seriali in **RS 232** di cui una settabile in **RS 422**, **RS 485** o **Current Loop** con **baud rate** fino a **38,4 KBaud**; fino a **40** linee di **I/O TTL**; **4 timer counter**; fino a 8K di **SRAM** opzionalmente tamponata con **RTC** in grado di gestire giorno, mese, anno, giorno della settimana, ore, minuti, secondi; **Watch Dogs** resettabili da software visualizzati tramite **LED**; unica tensione di alimentazione a **5Vdc**, **180 mA**; vasta disponibilità di software di base e di **ambienti di sviluppo** che consentono di poter utilizzare la scheda tramite un normale **PC**, tra i pacchetti disponibili si possono citare: **FGDOS 15A**; **PASCAL 80**; **CBZ 80**; **NSB8**; **RSD 15A**; **HI TECH C 80**; **GET 80**; **DDS MICRO C 85**; **NO ICE Z80**; ecc.

grifo®
ITALIAN TECHNOLOGY
Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY
E-mail: grifo@grifo.it
http://www.grifo.it http://www.grifo.com
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661

GPC® 15A Edizione 3.20 *Rel. 28 Marzo 2000*

abaco®, **GPC®**, **grifo®**, *sono marchi registrati della ditta* **grifo®**

Vincoli sulla documentazione **grifo**® Tutti i Diritti Riservati

Nessuna parte del presente manuale può essere riprodotta, trasmessa, trascritta, memorizzata in un archivio o tradotta in altre lingue, con qualunque forma o mezzo, sia esso elettronico, meccanico, magnetico ottico, chimico, manuale, senza il permesso scritto della **grifo**®.

IMPORTANTE

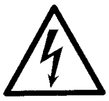
Tutte le informazioni contenute sul presente manuale sono state accuratamente verificate, ciononostante **grifo**® non si assume nessuna responsabilità per danni, diretti o indiretti, a cose e/o persone derivanti da errori, omissioni o dall'uso del presente manuale, del software o dell' hardware ad esso associato.
grifo® altresi si riserva il diritto di modificare il contenuto e la veste di questo manuale senza alcun preavviso, con l' intento di offrire un prodotto sempre migliore, senza che questo rappresenti un obbligo per **grifo**®.
Per le informazioni specifiche dei componenti utilizzati sui nostri prodotti, l'utente deve fare riferimento agli specifici Data Book delle case costruttrici o delle seconde sorgenti.

LEGENDA SIMBOLI

Nel presente manuale possono comparire i seguenti simboli:



Attenzione: Pericolo generico



Attenzione: Pericolo di alta tensione

Marchi Registrati

abaco®, **GPC**®, **grifo**® : sono marchi registrati della **grifo**®.
Altre marche o nomi di prodotti sono marchi registrati dei rispettivi proprietari.

INDICE GENERALE

INDICE DELLE FIGURE

INTRODUZIONE

L'uso di questi dispositivi é rivolto - IN VIA ESCLUSIVA - a personale specializzato.

Scopo di questo manuale é la trasmissione delle informazioni necessarie all'uso competente e sicuro dei prodotti. Esse sono il frutto di un'elaborazione continua e sistematica di dati e prove tecniche registrate e validate dal Costruttore, in attuazione alle procedure interne di sicurezza e qualità dell'informazione.

I dati di seguito riportati sono destinati - IN VIA ESCLUSIVA - ad un utenza specializzata, in grado di interagire con i prodotti in condizioni di sicurezza per le persone, per la macchina e per l'ambiente, interpretando un'elementare diagnostica dei guasti e delle condizioni di funzionamento anomale e compiendo semplici operazioni di verifica funzionale, nel pieno rispetto delle norme di sicurezza e salute vigenti.

Le informazioni riguardanti installazione, montaggio, smontaggio, manutenzione, aggiustaggio, riparazione ed installazione di eventuali accessori, dispositivi ed attrezzature, sono destinate - e quindi eseguibili - sempre ed in via esclusiva da personale specializzato avvertito ed istruito, o direttamente dall'ASSISTENZA TECNICA AUTORIZZATA, nel pieno rispetto delle raccomandazioni trasmesse dal costruttore e delle norme di sicurezza e salute vigenti.

I dispositivi non possono essere utilizzati all'aperto. Si deve sempre provvedere ad inserire i moduli all'interno di un contenitore a norme di sicurezza che rispetti le vigenti normative. La protezione di questo contenitore non si deve limitare ai soli agenti atmosferici, bensì anche a quelli meccanici, elettrici, magnetici, ecc.

Per un corretto rapporto coi prodotti, é necessario garantire leggibilità e conservazione del manuale, anche per futuri riferimenti. In caso di deterioramento o più semplicemente per ragioni di approfondimento tecnico ed operativo, consultare direttamente l'Assistenza Tecnica autorizzata.

Al fine di non incontrare problemi nell'uso di tali dispositivi, é conveniente che l'utente - PRIMA DI COMINCIARE AD OPERARE - legga con attenzione tutte le informazioni contenute in questo manuale. In una seconda fase, per rintracciare più facilmente le informazioni necessarie, si può fare riferimento all'indice generale e all'indice analitico, posti rispettivamente all'inizio ed alla fine del manuale.

VERSIONE SCHEDA

Il presente manuale è riferito alla scheda **GPC® 15A** versione **250694** e successive. La validità delle informazioni riportate è quindi subordinata al numero di versione della scheda in uso e l'utente deve quindi sempre verificare la giusta corrispondenza tra le due indicazioni. Sulla scheda il numero di versione è riportato in più punti sia a livello di serigrafia che di stampato (ad esempio sul bordo della scheda, a fianco di IC23 sul lato componenti e vicino al connettore K1 sul bordo della scheda nel lato stagnature).

INFORMAZIONI GENERALI

La scheda **GPC® 15A** é un potente modulo di controllo e di gestione nel formato standard **Singola Europa** da 100x160 mm. Essa opera sul potente **BUS Industriale Abaco®**, di cui sfrutta la ricca serie di periferiche, intelligenti e non, disponibili su questo BUS. La **GPC® 15A** é basata sulla potente e diffusa **CPU Z84C15 Zilog**, codice compatibile con **il famoso Z80**, ed ha a bordo scheda notevoli risorse hardware. La estrema modularità e la notevole completezza di risorse hardware della scheda **GPC® 15A** le consentono di poter affrontare applicazioni anche di notevole complessità con estrema disinvoltura. La programmazione e l'uso delle risorse della scheda diventa estremamente semplice grazie all'uso del potente sistema operativo romato **FGDOS**. Esso supporta i linguaggi ad alto livello quali Compilatori BASIC, PASCAL, C, ecc.; mette a disposizione le risorse di memoria come se fossero **ROM/RAM disk**, consentendo un immediato utilizzo ad alto livello di questi dispositivi. Consente inoltre la gestione diretta di **Display LCD** o **Fluorescenti**, di una tastiera a matrice, di una stampante parallela e delle schede **PCMCIA** di **RAM Cards**. **FGDOS**, oltre alla nota facilità di sviluppo e prova, consente di programmare direttamente a bordo scheda una **FLASH** con il programma utente. La **GPC® 15A** é dotata di una serie di connettori normalizzati, standard **Abaco®**, che le consentono di utilizzare immediatamente la numerosa serie di moduli **BLOCK** di I/O oppure permettono il collegamento, in modo molto semplice ed economico, delle interfacce da campo costruite direttamente dall'utente o da terze parti.

- Formato singola Europa da 100x160mm con interfaccia per il **BUS industriale Abaco®**.
- **CPU CMOS 84C15** con quarzo da **20 MHz**.
- Fino a **512K EPROM** o **256K FLASH EPROM** e fino a **128K SRAM**. Tramite **FGDOS** la memoria eccedente i 64K é vista come **RAM/ROM disk**. E' possibile cancellare e riprogrammare autonomamente la **FLASH** di bordo con il programma utente.
- **EEPROM** seriale fino a 8 K.
- **Dip Switch** da 4 vie più Dips Switch da 8 vie opzionale e jumper di configurazione leggibili da software.
- **2 LEDs** di attività, posizionato sul frontale, gestibile da software.
- **Buzzer** gestibile via software.
- **2** linee seriali in **RS 232** di cui una settabile in **RS 422**, **RS 485** o **Current Loop** gestite dal potente **SIO** che supporta **Baud Rate**, settabile da software, fino a **38,4 KBaud**.
- fino a **40** linee di **I/O TTL**, settabili da software, di cui 24 gestite dal **PPI 82C55** e 16 gestite dal **PIO**. 8 linee del PPI leggono un Dip Switch da 8 vie che può essere tolto, rendendo le linee disponibili per l'utente.
- **4 Timer Counter** ad 8 bits
- **SRAM** e **Real Time Clock** opzionalmente tamponati in grado di gestire giorno, mese, anno, giorno della settimana, ore, minuti, secondi
- **Watch Dog** resettabili da software visualizzati tramite **LED**.
- Unica tensione di alimentazione a **5Vdc**, **180 mA**.
- Vasta disponibilità di software di base e di **ambienti di sviluppo** che consentono di poter utilizzare la scheda tramite un normale **PC**. Tra i pacchetti disponibili si possono citare: **FGDOS 15A**; **PASCAL 80**; **CBZ 80**; **NSB8**; **RSD 15A**; **HI TECH C 80**; **GET 80**; **DDS MICRO C 85**; **NO ICE Z80**; ecc.

SIO

Periferica in grado di gestire due linee per la comunicazione seriale. Il dispositivo può essere utilizzato per la comunicazione con tutti i sistemi provvisti di una linea seriale bufferata in RS 232, RS 422, RS 485 o Current Loop. Dal punto di vista software è infatti definibile la velocità di comunicazione, la lunghezza della parola, il numero di stop bit, la parità e lo stato dei segnali di handshake hardware. Il tutto avviene tramite una semplice programmazione di 4 registri allocati nello spazio di I/O della CPU da un'apposita logica di controllo.

TIMER COUNTER

La sezione di Timer Counter di bordo é costituita dalla sezione CTC del microprocessore e dispone di 4 canali ad 8 bit indipendenti e programmabili via software. La periferica é vista tramite 4 registri, situati nello spazio di I/O dalla logica di controllo della scheda, con cui possono essere definite le modalità di funzionamento (timer o counter, prescaler, trigger, ecc.) e l'eventuale generazione d'interrupt.

LINEE DI I/O DEL PIO

Periferica in grado di gestire due port paralleli da 8 bit per un totale di 16 linee di I/O logico a livello TTL, con direzionalità settabile a livello di bit. Tali linee di I/O hanno la possibilità di generare interrupt. In questo modo una determinata condizione esterna può distogliere la CPU dalle normali operazioni, in modo da rispondere sempre e prontamente a tutti gli eventi. Il PIO viene completamente gestito via software tramite la programmazione di 4 registri situati nello spazio di I/O della CPU da un'apposita logica di controllo.

DISPOSITIVI DI MEMORIA

E' possibile dotare la scheda di un massimo di 656KBytes di memoria variamente suddivisi con un massimo di 512KBytes di EPROM o 256 KBytes di FLASH EPROM, 128KBytes di SRAM, 8KBytes di EEPROM seriale e 8KBytes di SRAM tamponata. La scelta della configurazione delle memorie presenti sulla scheda può avvenire in relazione all'applicazione da risolvere e quindi in relazione alle esigenze dell'utente. Da questo punto di vista si ricorda che la scheda viene normalmente fornita con i soli 128KBytes di SRAM di lavoro e che tutte le rimanenti memorie devono essere quindi opportunamente specificate in fase di ordine della scheda. Sfruttando la possibilità opzionale di montare fino a 8KBytes di EEPROM seriale, fino a 8KBytes di SRAM tamponata ed eventualmente montare anche i 128KBytes di SRAM di lavoro in versione tamponata si ha la possibilità di mantenere i dati anche in assenza di alimentazione. Questa caratteristica fornisce alla scheda la possibilità di ricordare in ogni condizione, una serie di parametri come ad esempio la configurazione o lo stato del sistema . Il mappaggio delle risorse di memoria avviene tramite una opportuna circuiteria di bordo, che provvede ad allocare i dispositivi all'interno dello spazio d'indirizzamento del microprocessore. Per maggiori informazioni fare riferimento al capitolo "DESCRIZIONE HARDWARE" e "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO". Per una descrizione più approfondita sui dispositivi di memoria, sugli zoccoli da utilizzare e sullo strippaggio della scheda, fare riferimento al paragrafo "SELEZIONE MEMORIE".

PROCESSORE DI BORDO

La scheda **GPC® 15A** è predisposta per accettare il processore Z84C15 prodotto dalla ZILOG. Tale processore ad 8 bit è codice compatibile con lo Z80 ed è quindi caratterizzato da un esteso set di istruzioni (158), da un'alta velocità di esecuzone e di manipolazione dati e da un efficiente gestione vettorizzata degli interrupts. Di fondamentale importanza è la presenza delle seguenti periferiche interne al microprocessore:

- 16 linee di I/O settabili a livello di bit in grado di generare interrupts (PIO);
- 4 Timer Counter ad 8 bit, con funzione di prescaler programmabile (CTC);
- 2 linee seriali asincrone o sincrone complete di segnali di handshake (SIO);
- Watch Dog Timer;
- Wait state generator;
- Frequenza di Clock programmabile;
- Interrupt controller;
- Possibilità di operare in idle e stop mode, per minimizzare i consumi;

Per maggiori informazioni a riguardo di questo componente si faccia riferimento all'apposita documentazione dellla casa costruttrice, oppure all'appendice B di questo manuale.

COMUNICAZIONE SERIALE

La comunicazione seriale è completamente settabile via software per quanto riguarda sia il protocollo sia la velocità (da un minimo di 300 ad un massimo di 38400 Baud) ed in modo completamente autonomo per entrambe le linee di comunicazione. Tali settaggi avvengono tramite la programmazione del SIO interno allo Z84C15 e della sezione di baud rate generator, di cui la scheda é provvista, quindi per ulteriori informazioni si faccia riferimento alla documentazione tecnica della casa costruttrice o all'appendice B di questo manuale.
Dal punto di vista hardware è invece possibile selezionare, tramite una serie di comodi jumpers, il protocollo fisico di comunicazione. In particolare una linea è sempre bufferata in RS 232, mentre la rimanente può essere bufferata in RS 232, RS 422, RS 485 o Current Loop; in quest'ultimo caso è definibile anche se la comunicazione avviene in Full Duplex o Half Duplex.

ABACO® BUS

Una delle caratteristiche di fondamentale importanza della **GPC® 15A** è quella di disporre dell'interfacciamento nei confronti del BUS industriale **ABACO®**: ovvero un connettore normalizzato con cui è possibile collegare la scheda ad una serie di moduli esterni intelligenti e non. Tra questi si trovano moduli per acquisizione di segnali analogici (A/D), per la generazione di segnali analogici (D/A), per gestione di linee di I/O logico, per counter, ecc. e ne possono essere realizzati anche su specifiche richieste dell'utente. Utilizzando mother board come l'**ABB 03** o l'**ABB 05** é inoltre possibile gestire anche le schede periferiche della serie 3 e 4 provviste di **ABACO® I/O BUS**. Tale caratteristica rende la scheda espandibile con un ottimo rapporto prezzo/prestazioni e quindi adatta a risolvere molti dei problemi dell'automazione industriale.

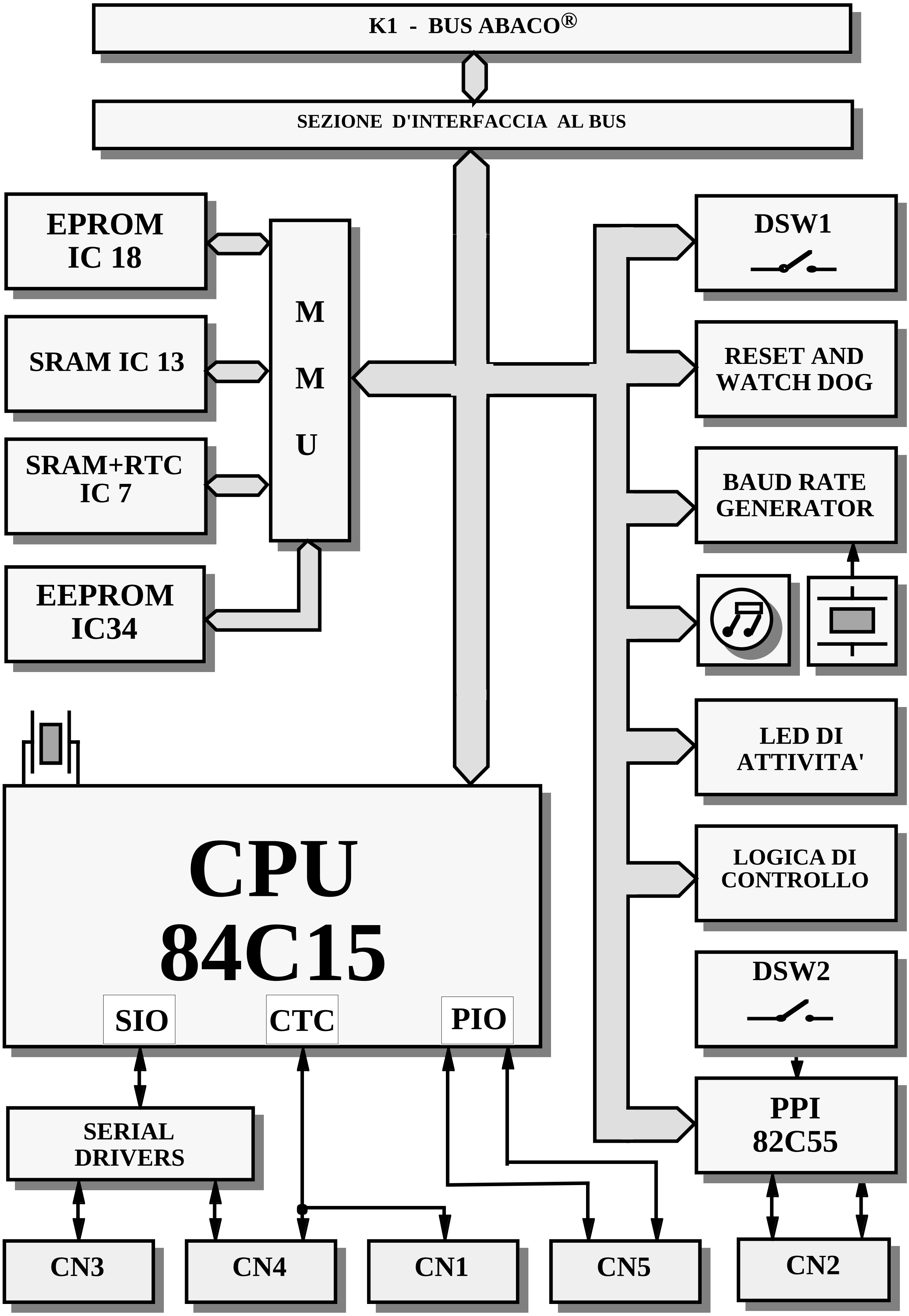


Figura 1: Schema a blocchi

DISPOSITIVI DI CLOCK

Sulla **GPC® 15A** sono presenti due circuiti separati che provvedono a generare rispettivamente la frequenza di clock per la CPU (20 MHz) e la frequenza per la generazione del Baud Rate (4,9152 MHz), relativo alle linee di comunicazione seriale della scheda. La scelta di utilizzare due circuiti e quindi due quarzi indipendenti, è legata alla possibilità di poter variare la frequenza di lavoro della CPU senza dover intervenire sul software di gestione della comunicazione ed allo stesso tempo avere la possibilità di raggiungere le massime prestazioni in termini di tempo, sia per quanto riguarda l'esecuzione che la comunicazione seriale .

LINEE DI I/O DEL PPI 82C55

Periferica in grado di gestire tre port paralleli da 8 bit per un totale di 24 linee di I/O logico a livello TTL, con direzionalità settabile a livello di byte. Tali linee di I/O aprono ulteriori possibilità di impiego della **GPC® 15A** (ad esempio nella gestione di periferiche non intelligenti, interfacce, ecc.) anche quando l'handshake delle comunicazioni è completamente da gestire via software. Il chip PPI 82C55 viene completamente gestito via software tramite la programmazione di 4 registri situati nello spazio di I/O della CPU da un'apposita logica di controllo. Nella versione base della scheda uno dei port viene impiegato per leggere il Dip Switch a 8 vie.

WATCH DOG

La scheda **GPC® 15A** è provvista di due circuiterie separate di Watch Dog che, se utilizzate, consentono di uscire da stati di loop infinito o da condizioni anomale non previste dal programma applicativo. Tali circuiterie sono composte da una sezione monostabile interna al microprocessore caratterizzata da un tempo di intervento programmabile e da una sezione astabile/monostabile esterna con un tempo d'intervento tipico di circa 700 msec. La gestione avviene completamente via software (tramite l'acceso ad opportuni registri situati nello spazio d'indirizzamento della CPU) e conferisce al sistema basato sulla scheda, una sicurezza estrema. I tempi d'intervento della circuiteria di Watch Dog esterna possono essere eventualmente variati su specifica richiesta dell'utente, intervenendo su apposite reti RC; in caso di necessità contattare la **grifo®**.

LOGICA DI CONTROLLO

Il mappaggio di tutti i registri delle periferiche presenti sulla scheda e dei dispositivi di memoria, è affidata ad un'opportuna logica di controllo che si occupa di allocare tali dispositivi nello spazio d'indirizzamento della CPU. Per maggiori informazioni fare riferimento al paragrafo "MAPPAGGIO DELL'I/O".

MMU

Al fine di poter gestire in modo pratico ed efficace le configurazioni di memoria di cui può essere dotata la **GPC® 15A**, a partire dallo spazio d'indirizzamento logico di 64 KByte del microprocessore, è stata prevista un'apposita sezione di MMU. Tale sezione provvede tramite una facile programmazione software, l'allocazione dei 64K di lavoro all'interno dello spazio di memoria.

BUZZER

Sulla **GPC® 15A** è presente una circuiteria in grado di emettere un suono costante, basata su un buzzer capacitivo. Questa circuiteria viene abilitata e/o disabilitata via software tramite la logica di controllo e può essere utilizzata per generare allarmi acustici, feed back sonori, ecc.

RTC

Il modulo di SRAM tamponata da montare sullo zoccolo di IC 7 può essere provvisto di un completo Real Time Clock in grado di gestire ore, minuti, secondi, giorno del mese, mese, anno e giorno della settimana in modo completamente autonomo. Il componente è opzionale (come già detto nel capitolo "Dispositivi di memoria"), provvisto di batteria interna di Back Up ed è completamente gestito via software, tramite la programmazione di 8 registri situati nello spazio di I/O della CPU da un'apposita logica di controllo.

Per ulteriori informazioni a riguardo dei dispositivi periferici descritti, si faccia riferimento alla documentazione tecnica della casa costruttrice o all'appendice B di questo manuale.

CARATTERISTICHE TECNICHE

CARATTERISTICHE GENERALI

Risorse della scheda:	16 (24) Input/Output programmabili TTL (PPI 82C55)	
	16 Input/Output (PIO)	
	4 Timer Counter ad 8 bit a livello TTL (CTC)	
	1 Linea bidirezionale RS 232	
	1 Linea bidirezionale RS 232, RS 422, RS 485 o Current Loop	
	1 Watch Dog interno alla CPU	
	1 Watch Dog esterno	
	1 Real Time Clock (RTC)	
	1 Buzzer	
	1 Dip Switch da 4 dips	
	1 Dip Switch da 8 dips	
	BUS industriale **ABACO®**	
Memoria indirizzabile:	IC 18:	EPROM da 128K x 8 a 512K x 8
		FLASH EPROM da 128K x 8 a 256K x 8
	IC 13:	SRAM da 128K x 8
	IC 34:	EEPROM seriale da 256 byte a 8192 byte
	IC 7:	SRAM da 2Kx8 a 8Kx8
CPU di bordo:	ZILOG 84C15	
Frequenza quarzo CPU:	20 MHz	
Frequenza Baud Rate generator:	4,9152 MHz	
Tempo intervento Watch Dog:	700 msec calibrato con un rete RC	

CARATTERISTICHE FISICHE

Dimensioni: (L x A x P):	formato EUROPA: 100 x 160 x 15 mm	
Peso:	190 g	(versione base)
Connettori:	K1:	64 pin DIN 41612 corpo C
	CN1:	10 vie scatolino 90 gradi M
	CN2:	20 vie scatolino 90 gradi M
	CN3:	10 vie scatolino verticale M
	CN4:	16 vie scatolino verticale M
	CN5:	26 vie scatolino 90 gradi M

Range di temperatura:	da 0 a 70 gradi Centigradi	
Umidità relativa:	20% fino a 90%	(senza condensa)

CARATTERISTICHE ELETTRICHE

Tensione di alimentazione:	+5 Vcc	
Corrente assorbita sui 5 Vdc:	150 mA nella configurazione base 175 mA nella configurazione massima	
Rete terminazione RS 422, 485:	Resistenza terminazione linea=	120Ω

INSTALLAZIONE

In questo capitolo saranno illustrate tutte le operazioni da effettuare per il corretto utilizzo della scheda. A questo scopo viene riportata l'ubicazione e la funzione degli strip, dei connettori, dei trimmers, dei LEDs, ecc. presenti sulla **GPC® 15A**.

CONNESSIONI CON IL MONDO ESTERNO

l modulo **GPC® 15A** è provvisto di 6 connettori con cui vengono effettuati tutti i collegamenti con il campo e con le altre schede del sistema di controllo da realizzare. Di seguito viene riportato il loro pin out ed il significato dei segnali collegati; per una facile individuazione di tali connettori, si faccia riferimento alla figura 22, mentre per ulteriori informazioni a riguardo del tipo di connessioni, fare riferimento alle figure successive che illustrano il tipo di collegamento effettuato a bordo scheda.

CN1 - CONNETTORE PER I/O DEL CTC

CN1 è un connettore a scatolino a 90 gradi con passo 2.54 mm a 10 piedini. Tramite CN1 si effettua la connessione tra i 4 canali del timer counter CTC e l'ambiente esterno. I segnali presenti su questo connettore coincidono con segnali logici a livello TTL.

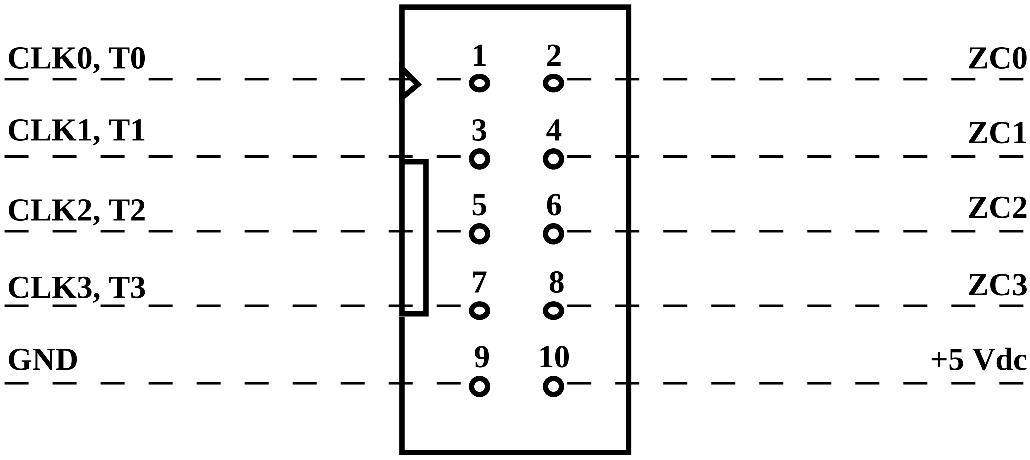


FIGURA 2: CN1 - CONNETTORE PER I/O DEL CTC

Legenda:

CLKn, Tn	=	I - Clock Trigger del contatore n del CTC a livello TTL
ZCn	=	O - Zero Count Timer del contatore n a livello TTL
+5 Vdc	=	O - Linea di alimentazione a +5 Vcc
GND	=	- Linea di massa

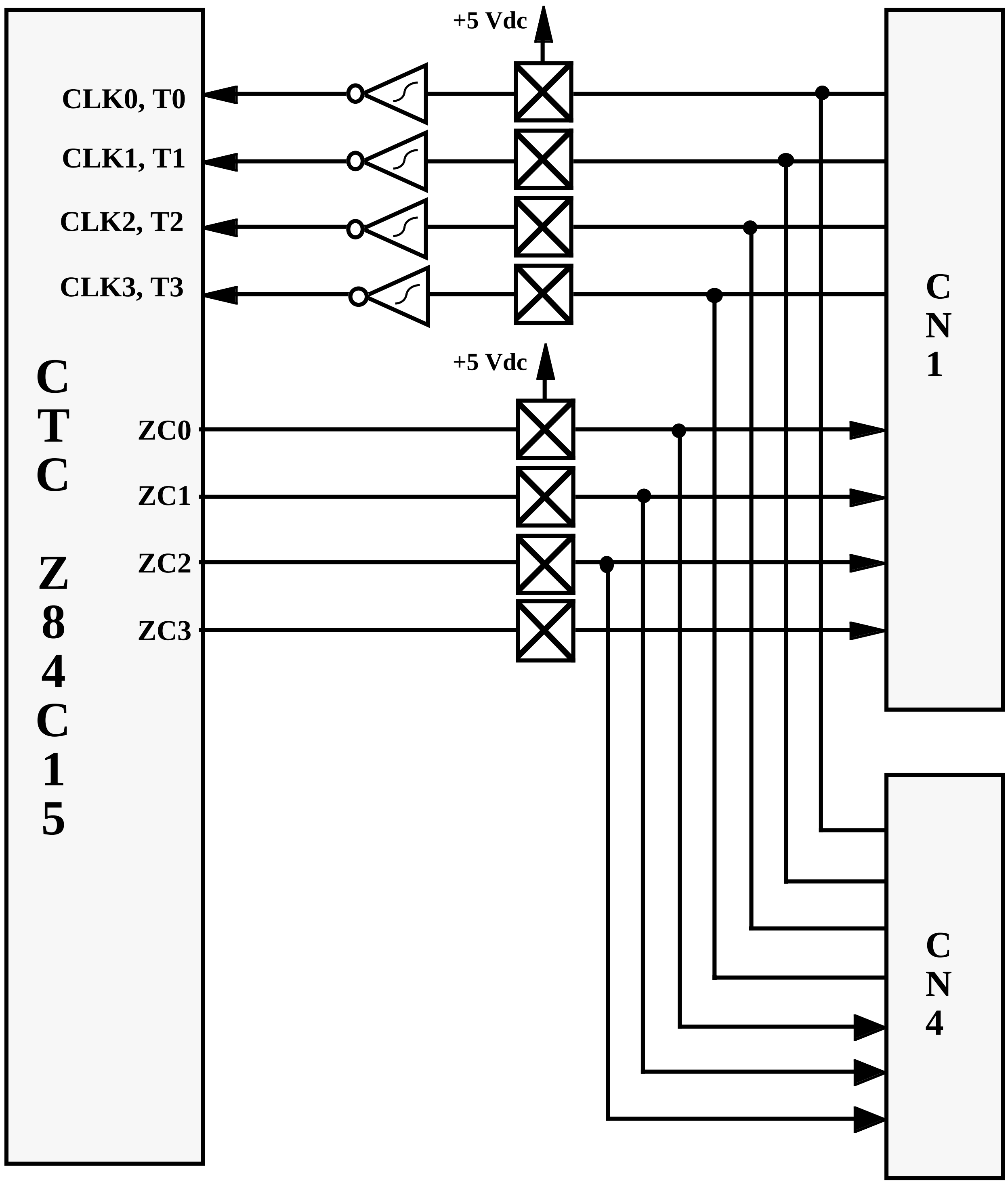


FIGURA 3: SCHEMA DI COLLEGAMENTO CTC

CN2 - CONNETTORE PER I/O DEL PPI

CN2 è un connettore a scatolino a 90 gradi con passo 2.54 mm a 20 piedini. Tramite CN2 si effettua la connessione tra l'interfaccia periferica programmabile PPI 82C55 e l'ambiente esterno, utilizzando due dei tre port paralleli ad 8 bit. I segnali presenti su questo connettore coincidono con segnali logici a livello TTL.

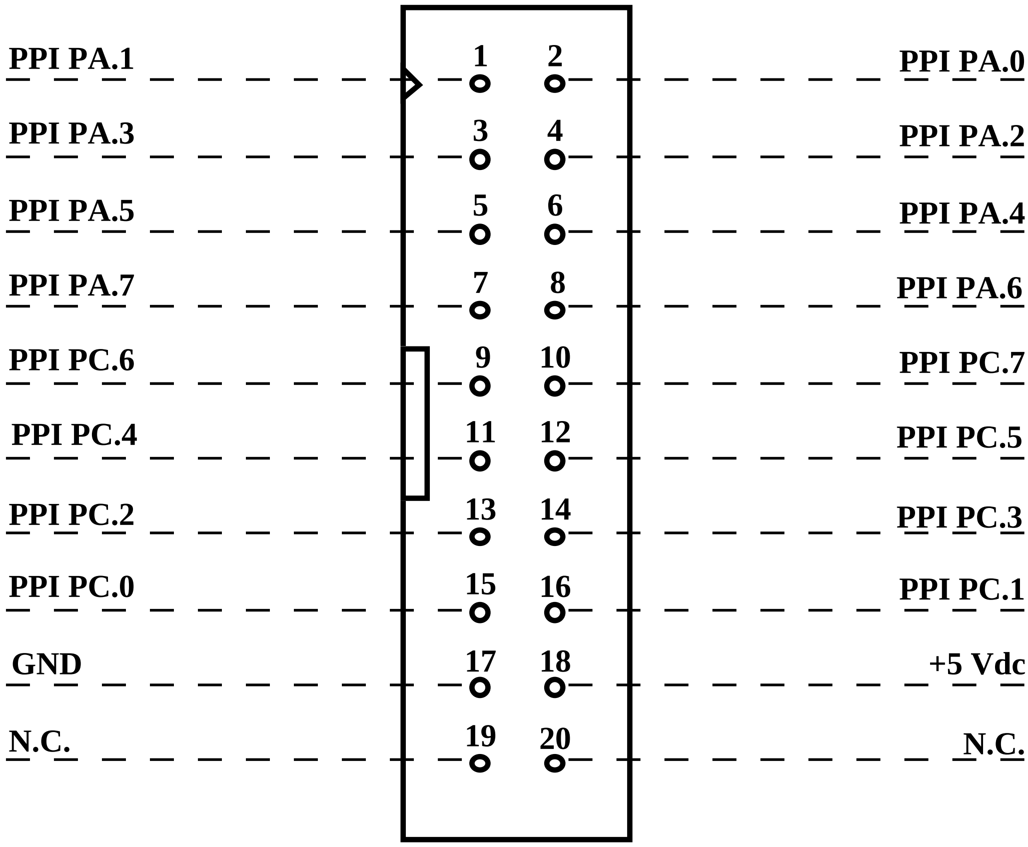


FIGURA 4: CN2 - CONNETTORE PER I/O DEL PPI 8255 DA PORT A E C

Legenda:

PPI PA.n	= I/O - Linea digitale n del port A del PPI 82C55
PPI PC.n	= I/O - Linea digitale n del port C del PPI 82C55
+5 Vdc	= O - Linea di alimentazione a +5 Vcc
GND	= - Linea di massa digitale
NC	= - Non collegato

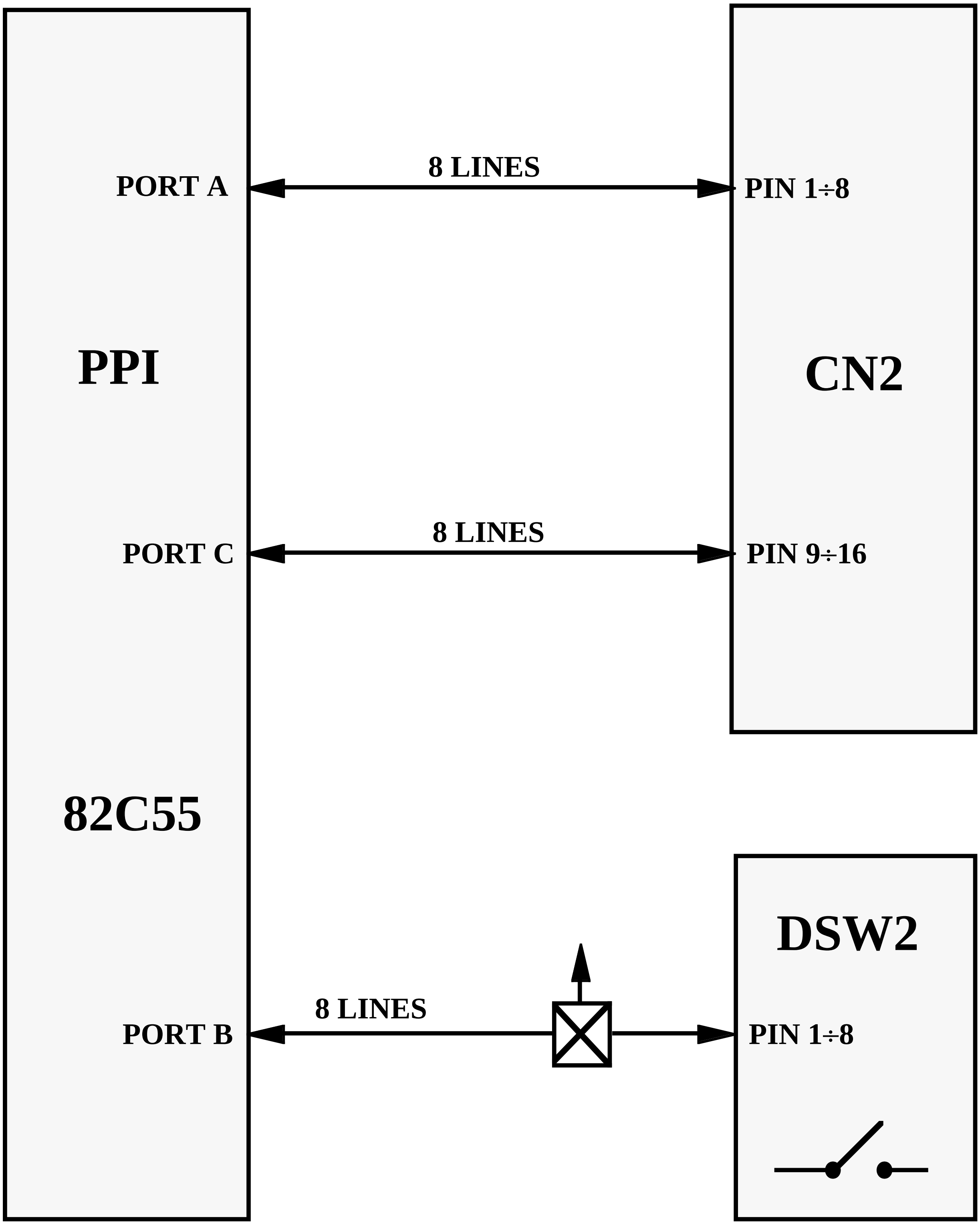


FIGURA 5: SCHEMA DEL COLLEGAMENTO LINEE DI I/O DEL PPI

DSW2 - ZOCCOLO PER I/O DEL PPI 82C55 DA PORT B

DSW2 è uno zoccolo con passo 2.54 mm a 16 piedini.
Scollegando da DSW2 il dip switch ad 8 vie, si ha la possibilità di utilizzare il port B del PPI 82C55 della scheda, per gestire fino ad 8 linee di I/O digitale a livello TTL. Per facilitare l'utilizzo di queste linee è conveniente utilizzare appositi zoccoli a perforazione d'isolante.

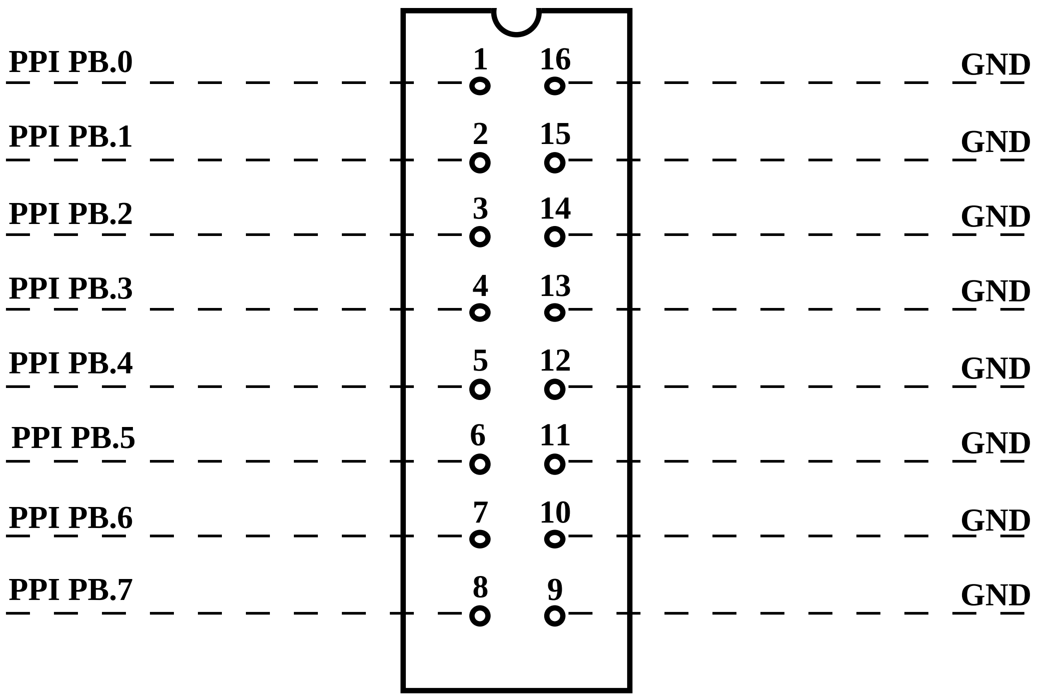


FIGURA 6: DSW2 - ZOCCOLO PER I/O DEL PPI 82C55 DA PORT B

Legenda:

PPI PB.n = I/O - Linea digitale n del port B del PPI 82C55.
GND = - Linea di massa.

CN3 - CONNETTORE LINEE SERIALI RS 422, RS 485 E CURRENT LOOP

CN3 è un connettore a scatolino verticale con passo 2.54 mm a 10 piedini.
Su questo connettore sono riportati tutti i segnali per la comunicazione in RS 422, RS 485 e Current Loop della linea seriale B. La disposizione di tali segnali è stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare le connessioni con il campo, mentre i segnali rispettano le normative definite dal CCITT relative ad ognuno degli standard di comunicazione usati. Si ricorda inoltre che l'interfaccia Current Loop é di tipo passivo.

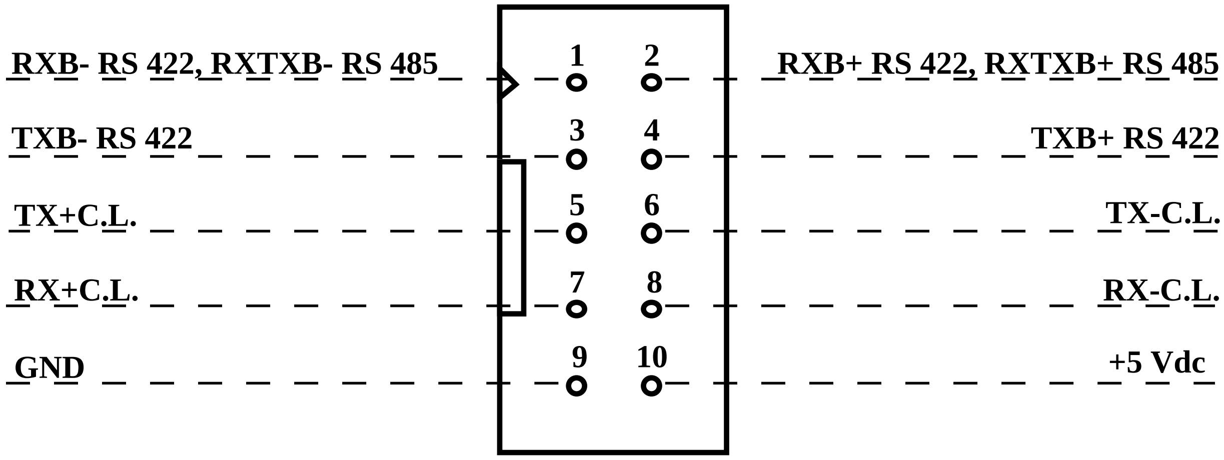


FIGURA 7: CN3 - CONNETTORE PER LINEE SERIALI RS 422, RS 485 E CURRENT LOOP

Legenda:

RXB- RS422 = I - Receive Data Negative: linea bipolare negativa di ricezione differenziale in RS 422 della seriale B
RXB+ RS422 = I - Receive Data Positive: linea bipolare positiva di ricezione differenziale in RS 422 della seriale B
TXB- RS422 = O - Transmit Data Negative: linea bipolare negativa di trasmissione differenziale in RS 422 della seriale B
TXB+ RS422 = O - Transmit Data Positive: linea bipolare positiva di trasmissione differenziale in RS 422 della seriale B
RXTXB- RS485 = I/O - Receive Transmit Data Negative: linea bipolare negativa di ricezione e trasmissione differenziale in RS 485 della seriale B
RXTXB+ RS485= I/O -Receive Transmit Data Positive: linea bipolare positiva di ricezione e trasmissione differenziale in RS 485 della seriale B
RXB- C.L. = I - Receive Data Negative: linea bipolare negativa di ricezione in Current Loop della seriale B
RXB+ C.L. = I - Receive Data Positive: linea bipolare positiva di ricezione in Current Loop della seriale B
TXB- C.L. = O - Transmit Data Negative: linea bipolare negativa di trasmissione in Current Loop della seriale B
TXB+ C.L. = O - Transmit Data Positive: linea bipolare positiva di trasmissione in Current Loop della seriale B
+5 Vdc = I - Linea di alimentazione a +5 Vcc
GND = - Linea di massa digitale

CN4 - CONNETTORE PER COMUNICAZIONE SERIALE IN RS 232 E CTC

CN4 è un connettore a scatolino a 90 gradi con passo 2.54 mm a 16 piedini.
Tramite CN4 si effettua la connessione delle due linee seriali in RS 232 ed i timer counter T0 e T1 a bordo della CPU con l'ambiente esterno. Le due linee seriali sono gestibili via hardware e via software tramite lo strippaggio di appositi jumpers e la programmazione degli appositi registri interni dello Z84C15. I segnali presenti su questo connettore coincidono con segnali logici a livello TTL e segnali a livello RS 232, secondo le normative definite dal CCITT; la disposizione dei segnali, é invece stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare la connessione con il campo.

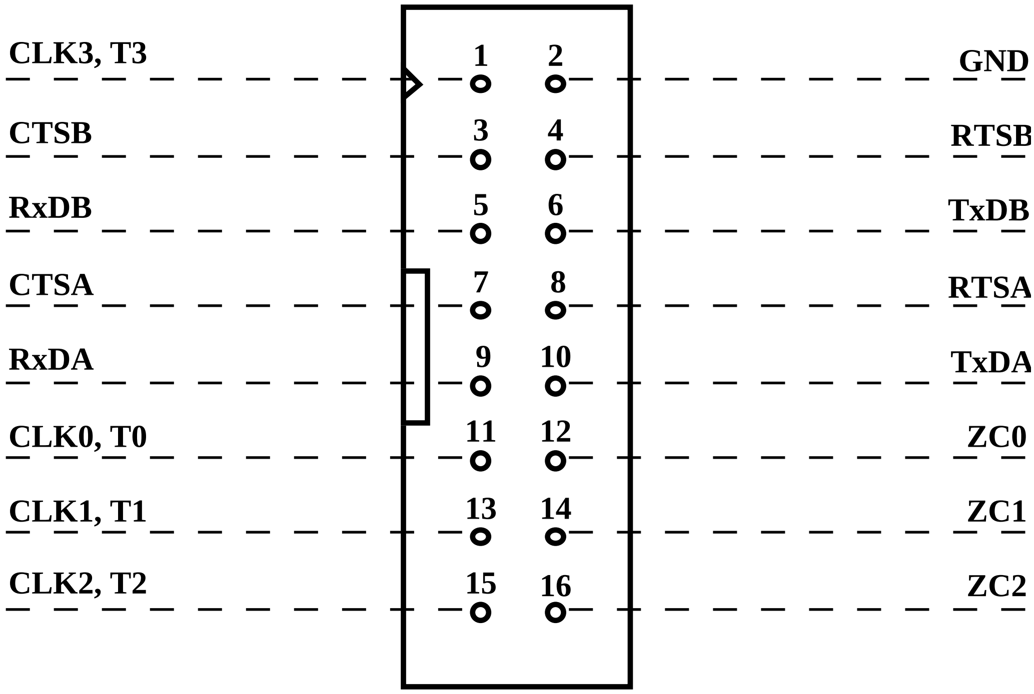


FIGURA 8: CN4 - CONNETTORE PER COMUNICAZIONE SERIALE IN RS 232 E CTC

Legenda:

RxD A/B	= I	- Receive Data: linea di ricezione in RS 232 della linea seriale A o B
TxD A/B	= O	- Trasmit Data: linea di trasmissione in RS 232 della linea seriale A o B
CTS A/B	= I	- Clear To Send: linea di abilitazione della trasmissione in RS 232 della linea seriale A o B
RTS A/B	= O	- Request To Send: linea di richiesta di trasmissione in RS 232 della linea seriale A o B
CLKn, Tn	= I	- Clock Trigger del contatore n del CTC a livello TTL
ZCn	= O	- Zero Count Timer del contatore n a livello TTL
GND	=	- Linea di massa

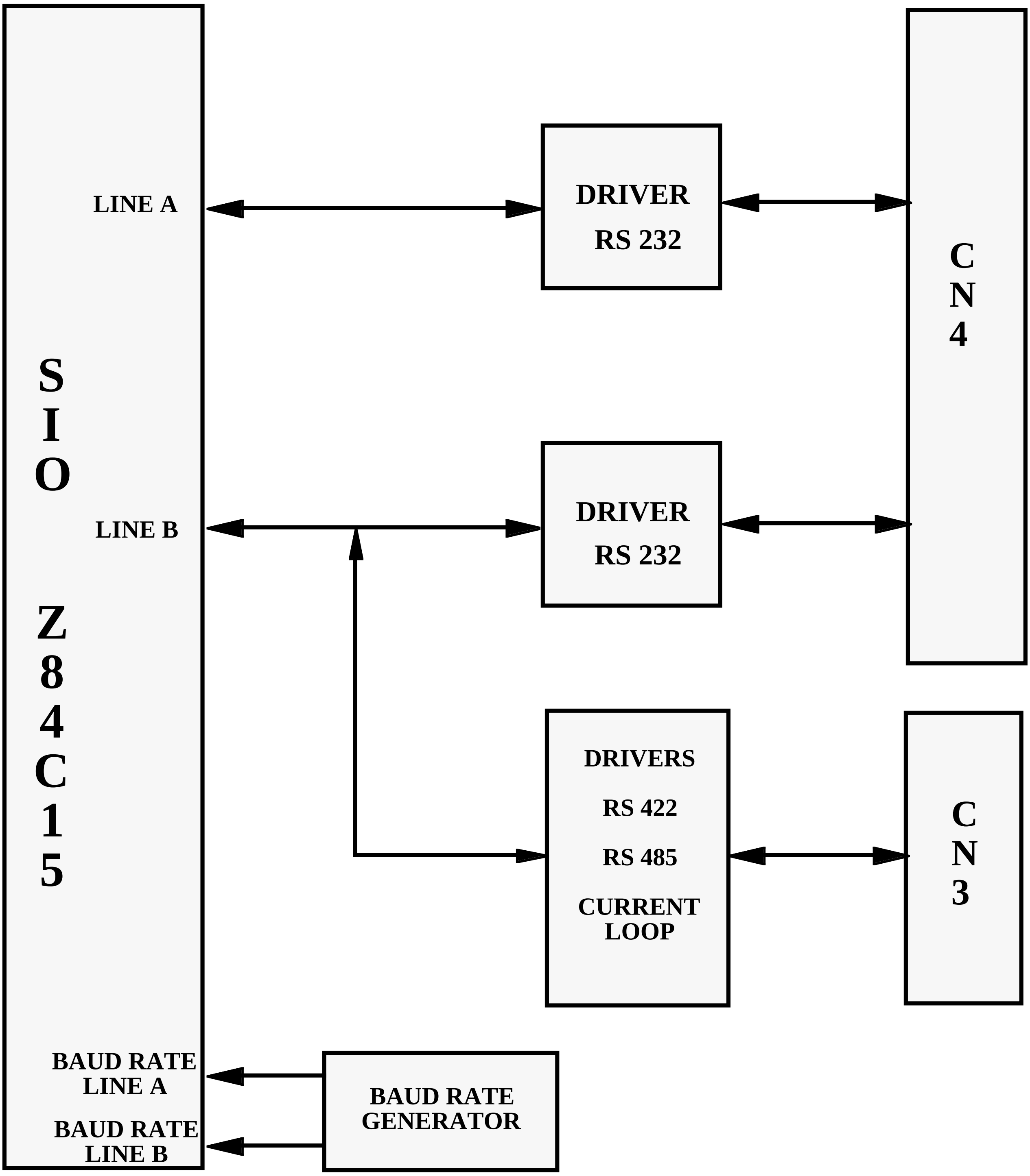


FIGURA 9: SCHEMA DI COLLEGAMENTO SERIALI RS 422, RS 485 E CURRENT LOOP

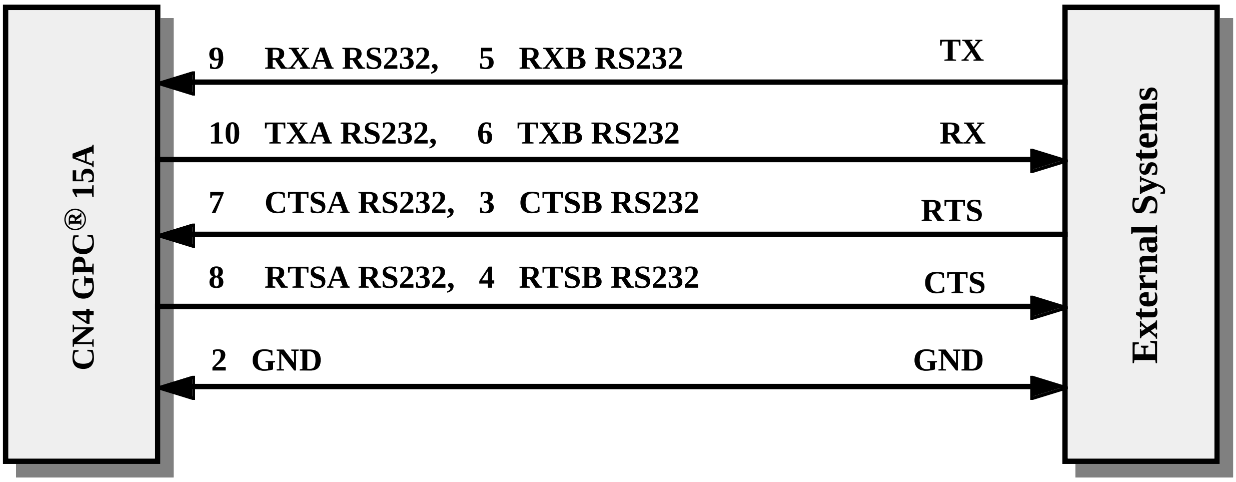


FIGURA 10: ESEMPIO DI COLLEGAMENTO PUNTO PUNTO IN RS 232

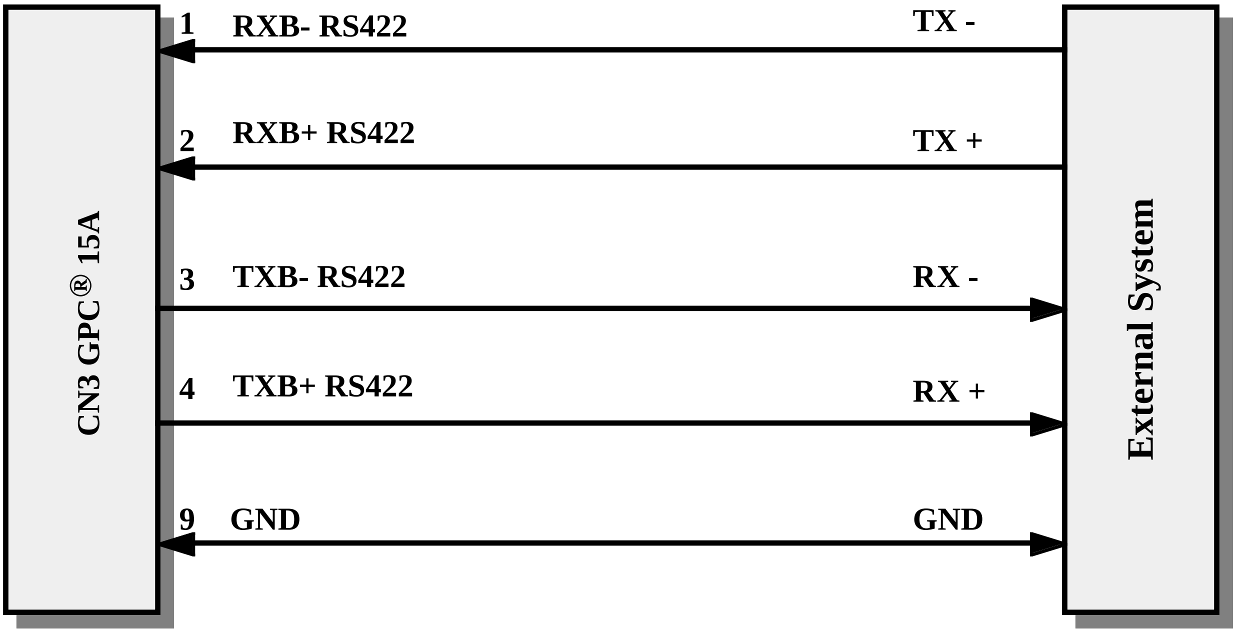


FIGURA 11: ESEMPIO DI COLLEGAMENTO PUNTO PUNTO IN RS 422

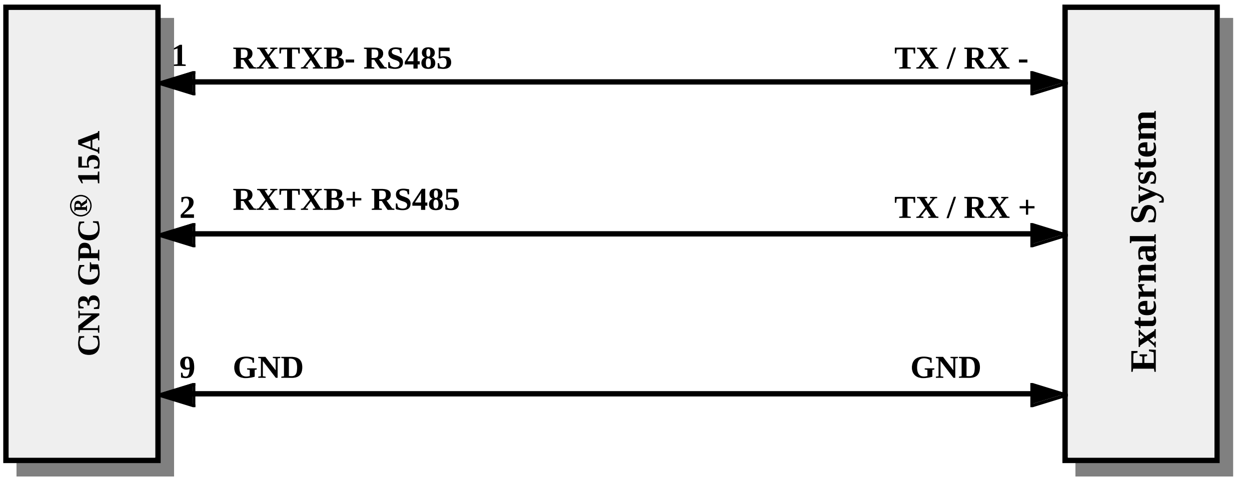


FIGURA 12: ESEMPIO DI COLLEGAMENTO PUNTO PUNTO IN RS 485

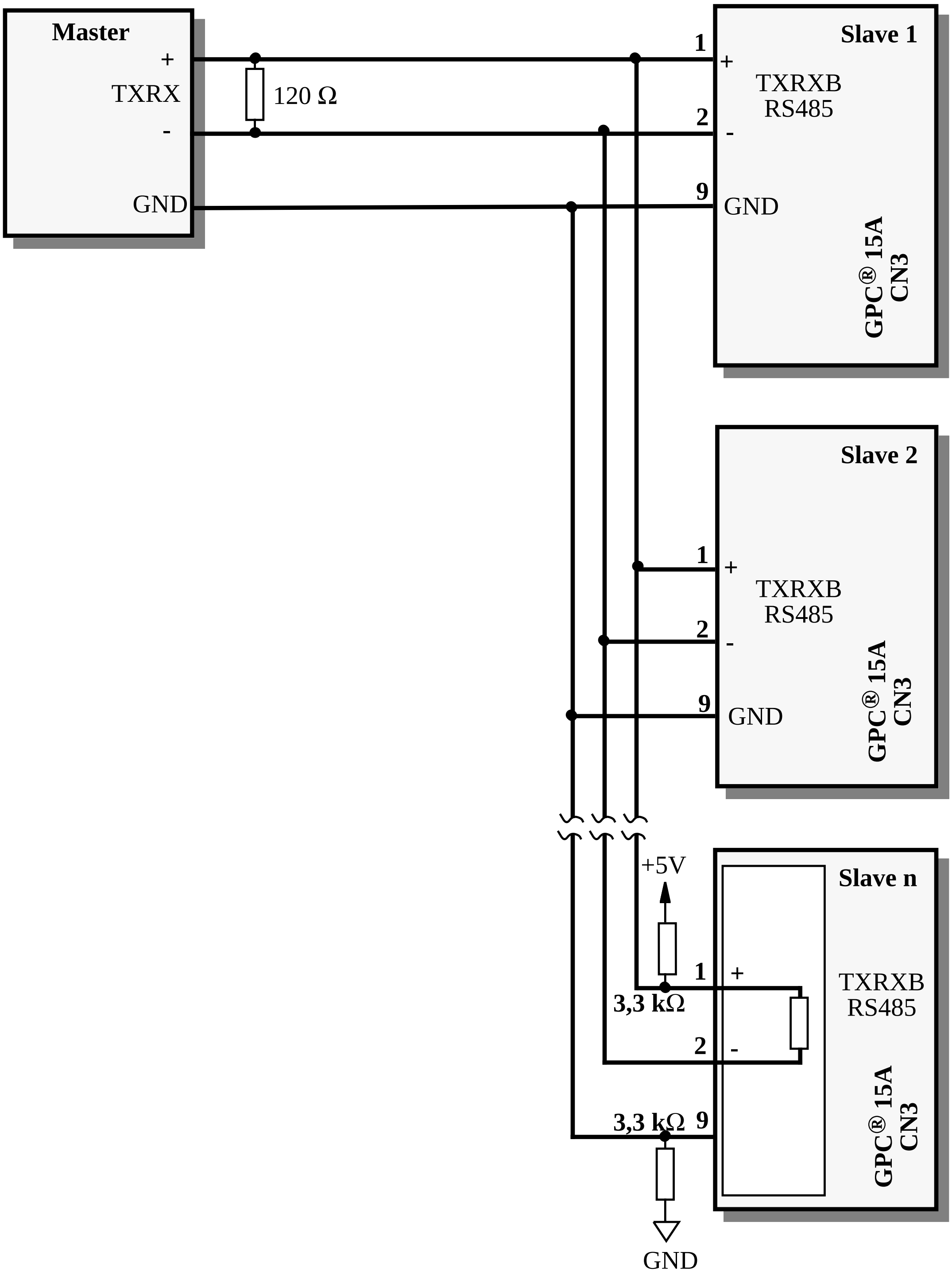


FIGURA 13: ESEMPIO DI COLLEGAMENTO IN RETE IN RS 485

Da notare che in una rete RS 485, devono essere presenti due resistenze di forzatura (3,3 kΩ) lungo la linea e due resitenze di terminazione (120 Ω), alle estremità della stessa, rispettivamente vicino all'unità Master ed all'ultima unità Slave.
A bordo della **GPC® 15A** è presente la circuiteria di terminazione, che può essere inserita o disinserita, tramite appositi jumpers, come illutrato in seguito.
In merito alla resistenza di terminazione dell'unità Master, provvedere a collegarla solo se questa non é già presente al suo interno (ad esempio molti convertitori RS232-RS485 ne sono già provvisti).
Per maggiori informazioni consultare il Data-Book TEXAS INSTRUMENTS, "*RS 422 and RS 485 Interface Cicuits*", nella parte introduttiva riguardante le reti RS 422-485.

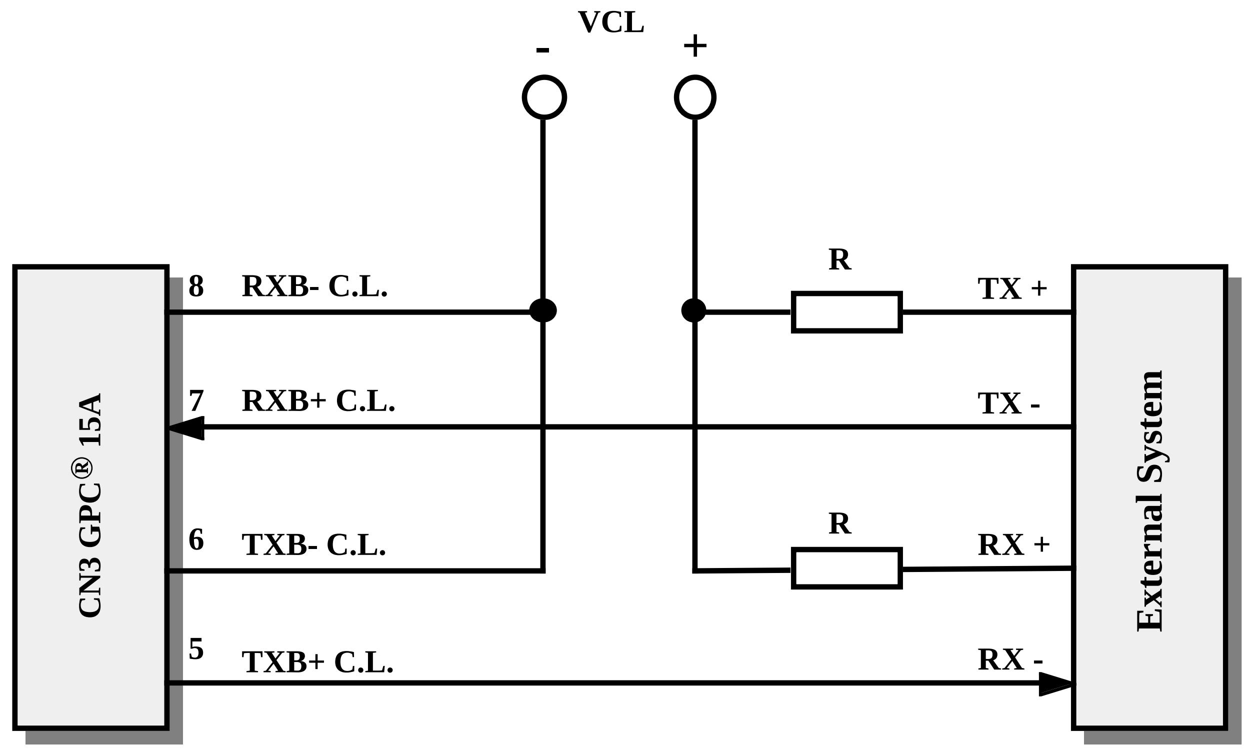


Figura 14: Esempio di collegamento punto-punto in Current Loop a 4 fili

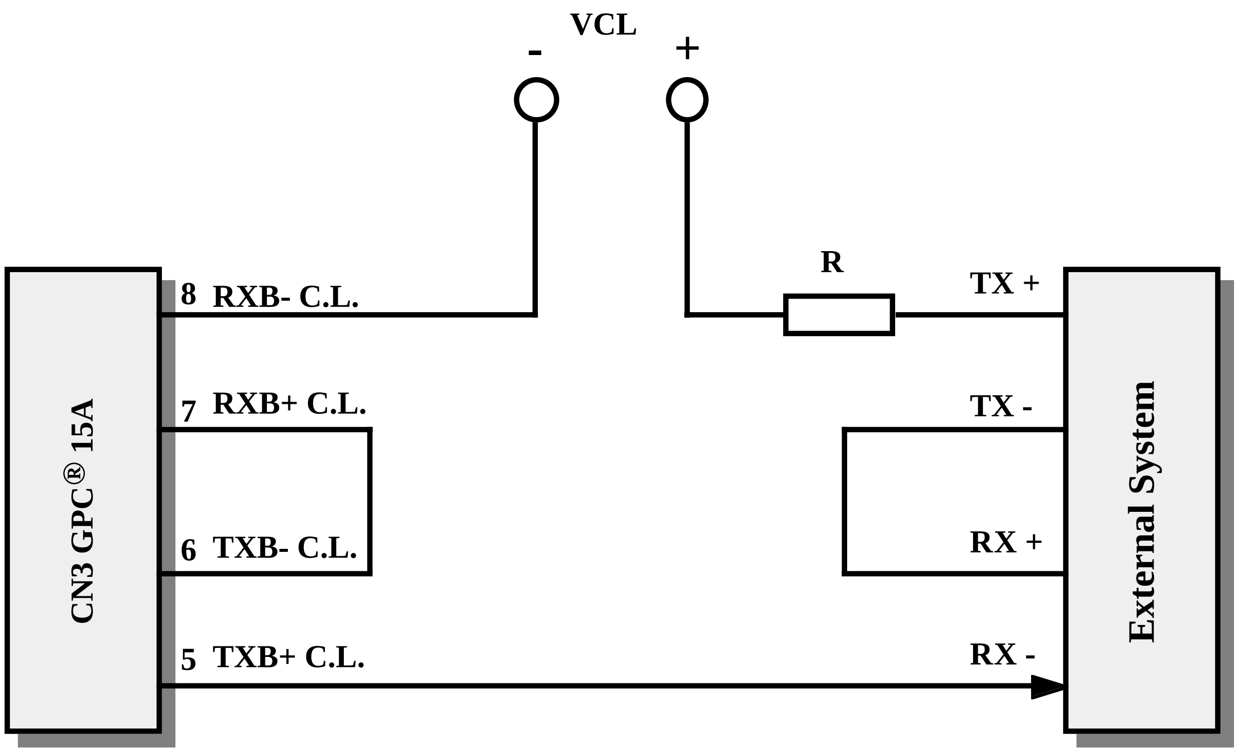


Figura 15: Esempio di collegamento punto-punto in Current Loop a 2 fili

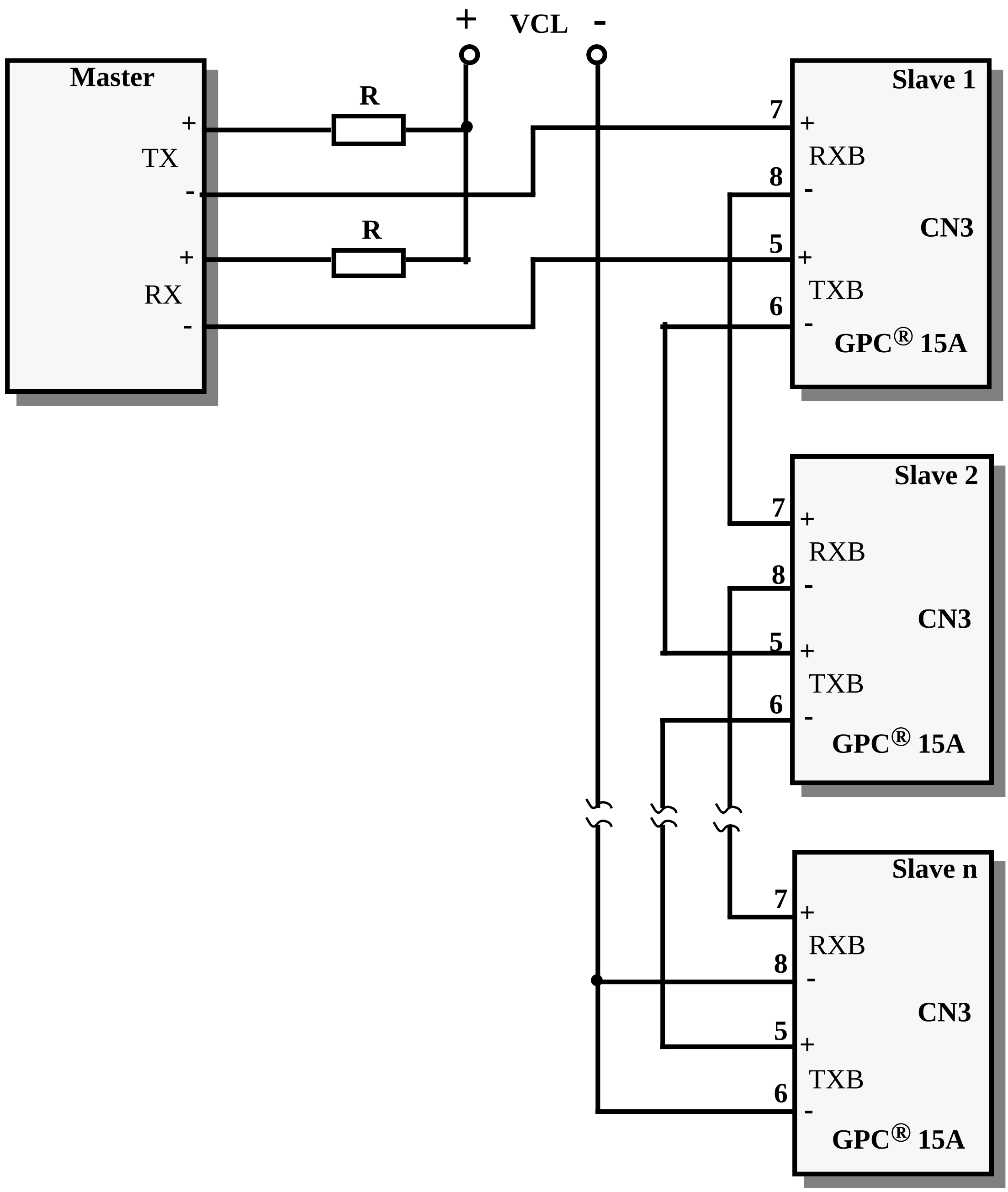


FIGURA 16: ESEMPIO DI COLLEGAMENTO IN RETE IN CURRENT LOOP PASSIVO

Per il collegamento in Current Loop passivo sono possibili due diversi tipi di collegamento: a 2 fili ed a 4 fili. Tali connessioni sono riportate nelle figure 14 e 15; in esse é indicata la tensione per alimentare l'anello (**VCL**) e le resistenze di limitazione della corrente (**R**). I valori di tali componenti variano in funzione del numero di dispositivi collegati e della caduta sul cavo di collegamento; bisogna quindi effettuare la scelta considerando che:
- si deve garantire la circolazione di una corrente di **20 mA**;
- su ogni trasmettitore cadono mediamente **2,35 V** con una corrente di 20 mA;
- su ogni ricevitore cadono mediamente **2,52 V** con una corrente di 20 mA;
- in caso di cortocircuito sulla rete ogni trasmettitore dissipi al massimo **125 mW**;
- in caso di cortocircuito sulla rete ogni ricevitore dissipi al massimo **90 mW**.

Per maggiori informazioni consultare il Data-Book HEWLETT-PACKARD, nella parte che riguarda gli opto-accoppiatori per Current Loop denominati **HCPL 4100** e **HCPL 4200**.

CN5 - CONNETTORE PER I/O DEL PIO

CN5 è un connettore a scatolino verticale con passo 2.54 mm a 26 piedini. Tramite CN5 si effettua la connessione tra l'interfaccia periferica programmabile PIO e l'ambiente esterno, utilizzando i due port paralleli ad 8 bit e le linee di handshake di cui dispone. I segnali presenti su questo connettore coincidono con segnali logici a livello TTL.

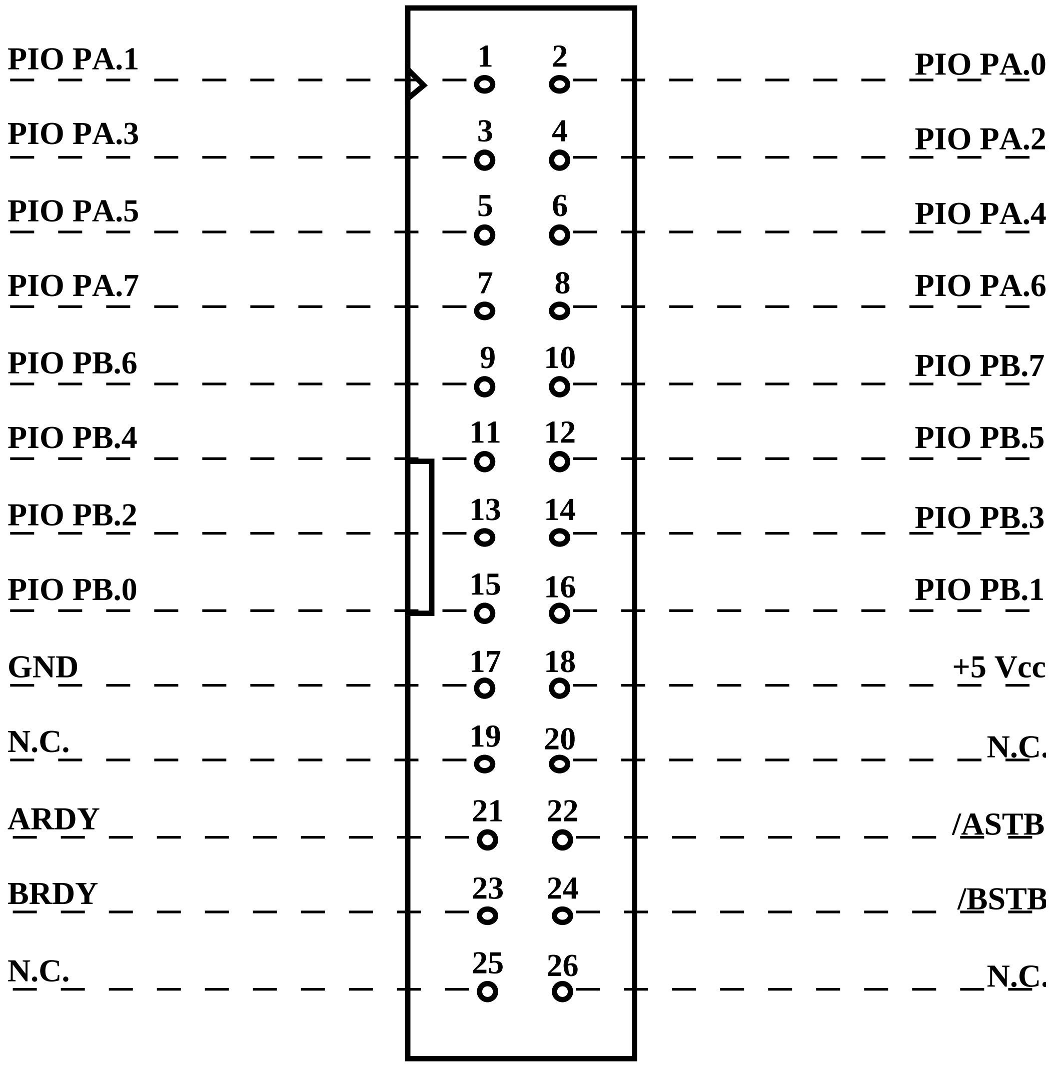


FIGURA 17: CN5 - CONNETTORE PER I/O DEL PIO

Legenda:

PIO PA.n	= I/O	- Linea digitale n del port A del PIO
PIO PB.n	= I/O	- Linea digitale n del port B del PIO
RDY A/B	= O	- Linea di segnalazione stato del ready del port A o B
/STB A/B	= I	- Linea di abilitazione del port A o B
+5 Vcc	= O	- Linea di alimentazione a +5 Vcc
GND	=	- Linea di massa
N.C.	=	- Non Collegato

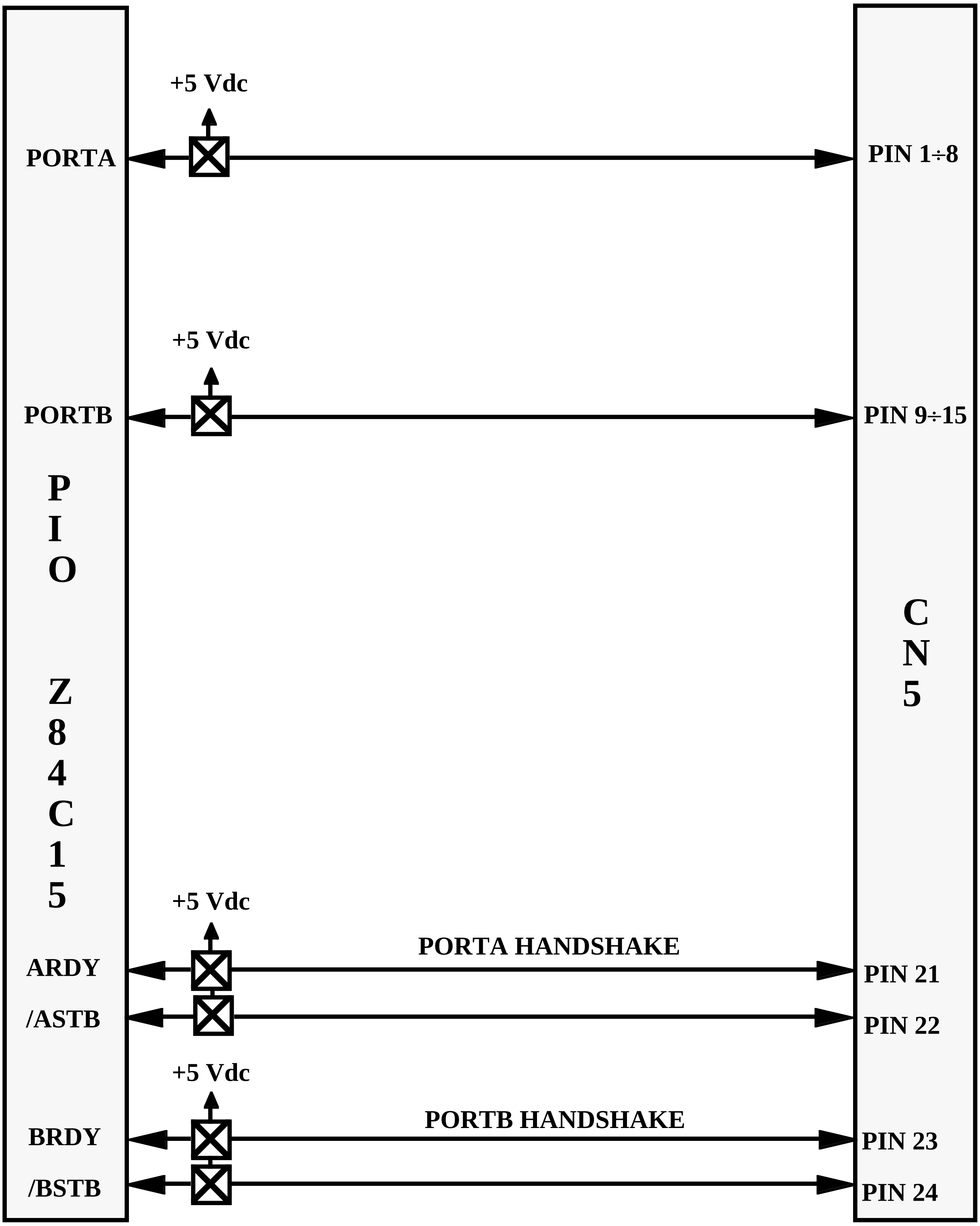


FIGURA 18: SCHEMA DI COLLEGAMENTO DEL PIO INTERNO ALL'84C15

K1 - CONNETTORE PER ABACO® BUS

K1 è un connettore DIN 41612 corpo C a 90 gradi da 64 piedini.
Tramite K1 si effettua la connessione tra la scheda e la serie di moduli esterni di espansione, da utilizzare per l'interfacciamento diretto con il campo. Tale collegamento è effettuato tramite il BUS industriale **ABACO®** di cui questo connettore riporta i segnali a livello TTL. Nella figura seguente è riportato il pin out del BUS e quindi anche del relativo connettore, con le variazioni per l'utilizzo di CPU a 16 Bit rispetto a quelle a 8 Bit.

A BUS a 16 bit	A BUS a 8 bit	A GPC 15A	PIN	C GPC 15A	C BUS a 8 bit	C BUS a 16 bit
GND	GND	GND	1	GND	GND	GND
+5 Vdc	+5 Vdc	+5 Vdc	2	+5 Vdc	+5 Vdc	+5 Vdc
D0	D0	D0	3	N.C.		D8
D1	D1	D1	4	N.C.		D9
D2	D2	D2	5	N.C.		D10
D3	D3	D3	6	/INT	/INT	/INT
D4	D4	D4	7	/NMI	/NMI	/NMI
D5	D5	D5	8	N.C.	/HALT	D11
D6	D6	D6	9	N.C.	/MREQ	/MREQ
D7	D7	D7	10	/IORQ	/IORQ	/IORQ
A0	A0	A0	11	/RD	/RD	/RDLDS
A1	A1	A1	12	/WR	/WR	/WRLDS
A2	A2	A2	13	N.C.	/BUSAK	D12
A3	A3	A3	14	/WAIT	/WAIT	/WAIT
A4	A4	A4	15	N.C.	/BUSRQ	D13
A5	A5	A5	16	/RESET	/RESET	/RESET
A6	A6	A6	17	N.C.	/M1	/IACK
A7	A7	A7	18	N.C.	/RFSH	D14
A8	A8	N.C.	19	N.C.	/MEMDIS	/MEMDIS
A9	A9	N.C.	20	N.C.	VDUSEL	A22
A10	A10	N.C.	21	N.C.	/IEI	D15
A11	A11	N.C.	22	N.C.		
A12	A12	N.C.	23	N.C.	CLK	CLK
A13	A13	N.C.	24	N.C.		/RDUDS
A14	A14	N.C.	25	N.C.		/WRUDS
A15	A15	N.C.	26	N.C.		A21
A16		N.C.	27	N.C.		A20
A17		N.C.	28	N.C.		A19
A18		N.C.	29	/R.T.	/R.T.	/R.T.
+12 Vdc	+12 Vdc	N.C.	30	N.C.	-12 Vdc	-12 Vdc
+5 Vdc	+5 Vdc	+5 Vdc	31	+5 Vdc	+5 Vdc	+5 Vdc
GND	GND	GND	32	GND	GND	GND

FIGURA 19: K1 - CONNETTORE PER ABACO® BUS

Legenda:

CPU a 8 bit

A0-A15 = O - Address BUS: BUS degli indirizzi.
D0-D7 = I/O - Data BUS: BUS dei dati.
/INT = I - Interrupt request: richiesta d'interrupt.
/NMI = I - Non Mascherable Interrupt: richiesta d'interrupt non mascherabile.
/HALT = O - Halt state: stao di Halt.
/MREQ = O - Memory Request: richiesta di operazione in memoria.
/IORQ = O - Input Output Request: richiesta di operazione in Input Output.
/RD = O - Read cycle status: richiesta di lettura.
/WR = O - Write cycle status: richiesta di scrittura.
/BUSAK = O - BUS Acknowledge: riconoscimento della richiesta di utilizzo del BUS.
/WAIT = I - Wait: Attesa.
/BUSRQ = I - BUS Request: richiesta di utilizzo del BUS.
/RESET = O - Reset: azzeramento.
/M1 = O - Machine cycle one: primo ciclo macchina.
/RFSH = O - Refresh: rinfresco per memorie dinamiche.
/MEMDIS = I - Memory Display: segnale emesso dal dispositivo periferico mappato in memoria.
VDUSEL = O - VDU Selection: abilitazione per il dispositivo periferico ad essere mappato in memoria.
/IEI = I - Interrupt Enable Input: abilitazione interrupt da BUS in catene di priorità.
CLK = O - Clock: clock di sistema.
/R.T. = I - Reset Tast: tasto di reset.
+5 Vdc = I - Linea di alimentazione a +5 Vcc.
+12 Vdc = O - Linea di alimentazione a +12 Vcc.
-12 Vdc = O - Linea di alimentazione a -12 Vcc.
GND = O - Linea di massa per tutti i segnali del BUS.
N.C. = - Non Collegato

CPU a 16 bit

A0-A22 = O - Address BUS: BUS degli indirizzi.
D0-D15 = I/O - Data BUS: BUD dei dati.
/RD UDS = O - Read Upper Data Strobe: lettura del byte superiore sul BUS dati.
/WR UDS = O - Write Upper Data Strobe: scrittura del byte superiore sul BUS dati.
/IACK = O - Interrupt Acknowledge: riconoscimento della richiesta d'interrupt da parte della CPU.
/RD LDS = O - Read Lower Data Strobe: lettura del byte inferiore sul BUS dati.
/WR LDS = O - Write Lower Data Strobe: scrittura del byte inferiore sul BUS dati.

N.B.
Le indicazioni di direzionalità sopra riportate sono riferite ad una scheda di comando (**CPU** o **GPC®**) e sono state mantenute inalterate in modo da non avere ambiguità d'interpretazione nel caso di sistemi composti da più schede.

INTERFACCIAMENTO DEGLI I/O CON IL CAMPO

Al fine di evitare eventuali problemi di collegamento della scheda con tutta l'elettronica del campo a cui la **GPC® 15A** si deve interfacciare, si devono seguire le informazioni riportate nei precedenti paragrafi e le relative figure che illustrano le modalità interne di connessione.

- Per i segnali che riguardano la comunicazione seriale con i protocolli RS 232, RS 422, RS 485 e Current Loop fare riferimento alle specifiche standard di ognuno di questi protocolli.

- Tutti i segnali a livello TTL possono essere collegati a linee dello stesso tipo riferite alla massa digitale della scheda. Il livello 0V corrisponde allo stato logico 0, mentre il livello 5V corrisponde allo stato logico 1.

SEGNALAZIONI VISIVE

La scheda **GPC® 15A** é dotata di 7 LEDs con cui segnala alcune condizioni di stato:

LED	COLORE	FUNZIONE
LD1	Giallo	E' attivo quando J6 è n posizione 2-3, corrispondente allo stato alto del segnale SYNCB, associata allo stato di DEBUG
LD2	Verde	E' attivo quando J6 è n posizione 1-2, corrispondente allo stato basso del segnale SYNCB, associata allo stato di RUN
LD3	Rosso	Segnala, quando attivo, l'attivazione del segnale di /HALT del microprocessore
LD4 , LD5	Verde	LED di attività gestito via software
LD7	Rosso	Segnala, quando attivo, l'attivazione della circuiteria di watch dog esterna
LD8	Rosso	Segnala, quando attivo, l'attivazione della linea di /RESET della scheda

FIGURA 20: TABELLA DELLE SEGNALAZIONI VISIVE

La funzione principale di questi LEDs é quella di fornire un'indicazione visiva dello stato della scheda, facilitando quindi le operazioni di debug e di verifica di funzionamento di tutto il sistema. Per una più facile individuazione di tali segnalazioni visive, si faccia riferimento alla figura 22.

INTERFACCE PER I/O DIGITALI

Tramite CN2 e CN5 (connettori compatibili con standard di I/O **ABACO®**) si può collegare la **GPC® 15A** ai numerosi moduli del carteggio **grifo®** che riportano lo stesso pin out. Dal punto di vista dell'installazione, queste interfacce richiedono solo un flat cable da 20 vie (FLT.20+20) o da 26 vie lato **GPC® 15A** e 20 vie lato interfaccia (FLT.26+20) con cui é possibile portare anche le alimentazioni, mentre dal punto di vista software la gestione é semplice ed immediata. Di particolare interesse è la possibilità di collegare direttamente serie di moduli come:

- **QTP 16P**, **QTP 24P**, **KDL x24**, **KDF 224**, **DEB 01**, ecc. con cui risolvere tutti i problemi di interfacciamento operatore locale. Questi moduli sono già dotati delle risorse necessarie per gestire un buon livello di colloquio uomo-macchina (includono infatti display alfanumerici, tastiera a matrice e LEDs di visualizzazione) ad una breve distanza dalla **GPC® 15A**. Dal punto di vista software i driver disponibili rendono utilizzabili le risorse dell'interfaccia operatore direttamente con le istruzioni ad alto livello per la gestione della console.

- **MCI 64** con cui risolvere tutti i problemi di salvataggio di grosse quantità di dati. Questo modulo é dotato di un connettore per memory card PCMCIA su cui possono essere inserite vari tipi di memory card (RAM, FLASH, ROM, ecc) nei vari size disponibili. Dal punto di vista software i driver disponibili coincidono con un completo file system e rendono utilizzabili le memory card direttamente con le istruzioni ad alto livello per la gestione dei files, oppure con procedure che consentono di leggere e scrivere dati ad indirizzi specifici della memory card.

- **IAC 01**, **DEB 01** con cui gestire una stampante con interfaccia parallela CENTRONICS. Quest'ultima può essere collegata direttamente all'interfaccia, con un cavo standard, e quindi gestita con le istruzioni relative alla stampante del linguaggio di programmazione utilizzato.

- **RBO xx**, **TBO xx**, **XBI xx**, **OBI xx** con cui bufferare i segnali di I/O TTL nei confronti del campo. Con questi moduli i segnali di input vengono convertiti in ingressi optoisolati di tipo NPN o PNP, mentre i segnali di output vengono convertiti in uscite galvanicamente isolate a transistor o relé.

Per maggiori informazioni relative si veda il capitolo “SCHEDE ESTERNE” e la documentazione del software utilizzato.

INPUT DI BORDO

La scheda **GPC® 15A** è provvista di due Dip Switch a 4 ed 8 vie (DSW1 e DSW2), tipicamente utilizzabili per la configurazione del sistema, i cui valori sono acquisibili via software. Le applicazioni più immediate possono essere quelle destinate al settaggio delle condizioni di lavoro od alla selezione di parametri relativi al firmware di bordo. La lettura della combinazione fissata sui dip switch avviene in logica negata (0 -> dip in ON ed 1 -> dip in OFF) effettuando un’operazione di input agli indirizzi di I/O dedicatogli dalla logica di controllo della scheda. Visto che il DSW2 può essere sostituito da un connettore per il campo si conclude che solo 4 dei 12 dip sono sempre disponibili sulla scheda. Per ulteriori informazioni si faccia riferimento al paragrafo “Mappaggio dell’I/O”, mentre per una facile individuazione della loro posizione si veda la figura 22.

JUMPERS

Esistono a bordo della **GPC® 15A** 11 jumpers a cavaliere, con cui é possibile effettuare alcune selezioni che riguardano il modo di funzionamento della stessa. Di seguito ne é riportato l'elenco, l'ubicazione e la loro funzione nelle varie modalità di connessione.

JUMPERS	N. VIE	FUNZIONE
J1	2	Collega il /RESET verso il BUS ABACO®
J2	3	Predispone IC 7 per RAM tamponata da 2 od 8 KByte.
J3	3	Predispone IC 18 per EPROM o FLASH EPROM.
J4	3	Seleziona modo di funzionamento della circuiteria di Watch Dog esterna.
J5	4	Seleziona tipo di comunicazione (RS 232, RS 422, RS 485, Current Loop) per la linea seriale B.
J6	3	Determina stato del segnale di handshake SYNCB, per la selezione della modalità RUN o DEBUG.
J7, J11	2	Collegano le resistenze di terminazione alla linea di ricezione in RS 422-485.
J8	3	Seleziona driver di ricezione per la linea seriale B in RS 422, RS 485.
J9	4	Seleziona connessione della circuiteria di /RESET.
J10	5	Seleziona direzionalità e modalità di attivazione della linea seriale B in RS 422-485.

FIGURA 21: TABELLA RIASSUNTIVA JUMPERS

Nelle sucessive tabelle é riportata una descrizione tabellare delle possibili connessioni degli 11 jumpers con la loro relativa funzione. Per riconoscere tali connessioni sulla scheda si faccia riferimento alla serigrafia della stessa o alla figura 30 di questo manuale, dove viene riportata la numerazione dei pin dei jumpers, che coincide con quella utilizzata nella seguente descrizione. Per l'individuazione dei jumpers a bordo della scheda, si utilizzi invece la figura 25. In tutte le seguenti tabelle l'***** indica la connessione di default, ovvero quella impostata in fase di collaudo, con cui la scheda viene fornita.

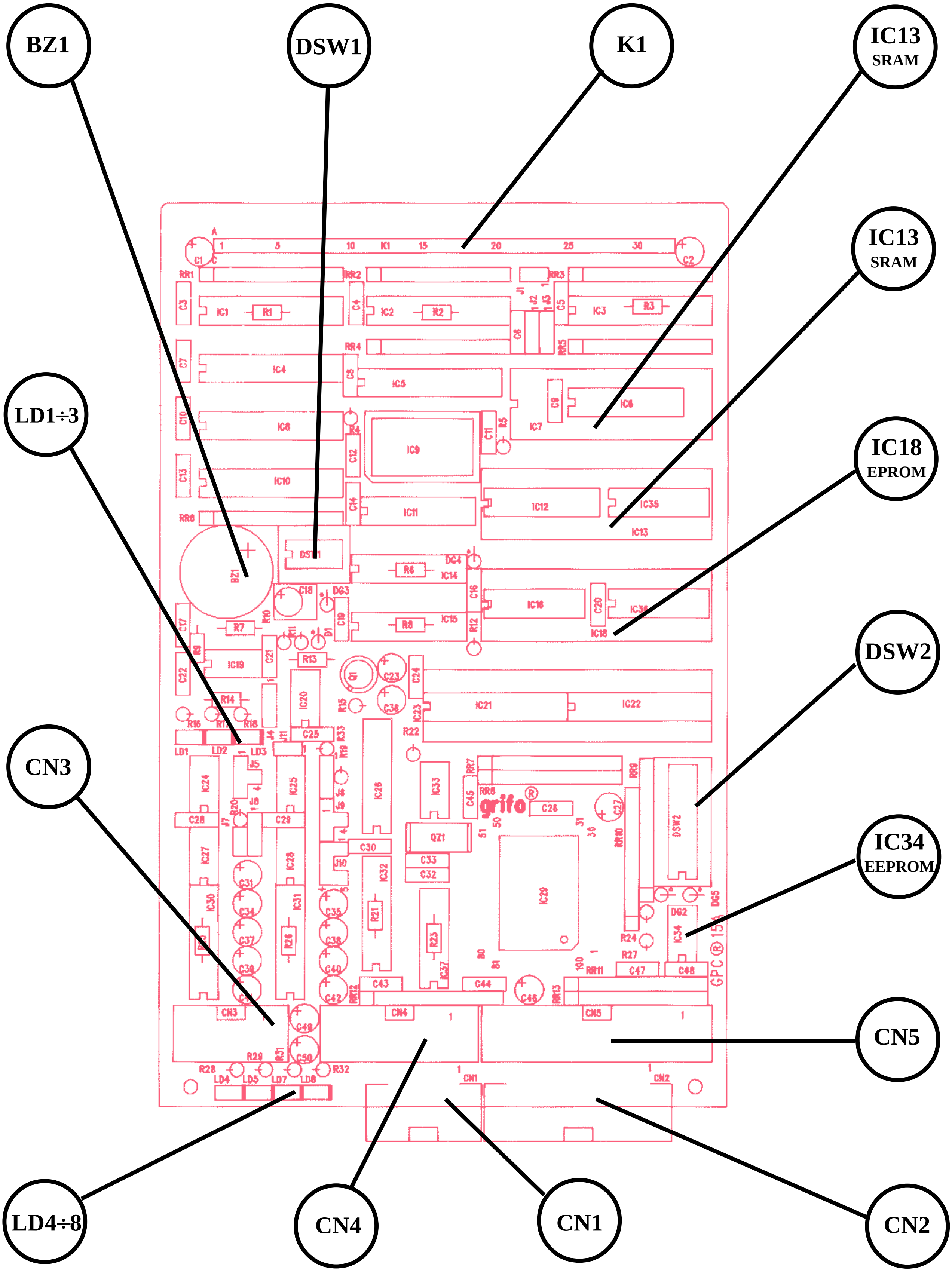


FIGURA 22: DISPOSIZIONE CONNETTORI, MEMORIE, DIP SWITCH ETC.

JUMPERS A 2 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J1	non connesso	Non collega il segnale di /RESET della scheda al BUS ABACO®.	
	connesso	Collega il segnale di /RESET della scheda al BUS ABACO®.	*
J7, J11	non connessi	Non collegano resistenza di terminazione alla linea di ricezione in RS 422-485.	*
	connessi	Collegano resistenza nominale di terminazione alla linea di ricezione in RS 422-485.	

FIGURA 23: TABELLA JUMPERS A 2 VIE

JUMPERS A 3 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J2	posizione 1-2	Predispone IC 7 per RAM tamponate o EEPROM da 2 KByte.	*
	posizione 2-3	Predispone IC 7 per RAM tamponate o EEPROM da 8 KByte.	
J3	posizione 1-2	Predispone IC 18 per FLASH EPROM.	
	posizione 2-3	Predispone IC 18 per EPROM.	*
J4	posizione 1-2	Seleziona funzionamento astabile per la circuiteria di Watch Dog esterna.	*
	posizione 2-3	Seleziona funzionamento monostabile per la circuiteria di Watch Dog esterna.	
J6	posizione 1-2	Connette segnale SYNCB della SIO a GND, attivando LD2 e selezionando la modalità RUN.	*
	posizione 2-3	Connette segnale SYNCB della SIO a +Vcc, attivando LD1 e selezionando la modalità DEBUG	
J8	posizione 1-2	Seleziona driver di IC 27 per la ricezione in RS 422, RS 485	*
	posizione 2-3	Seleziona driver di IC 28 per la ricezione in RS 422, RS 485	

FIGURA 24: TABELLA JUMPERS A 3 VIE

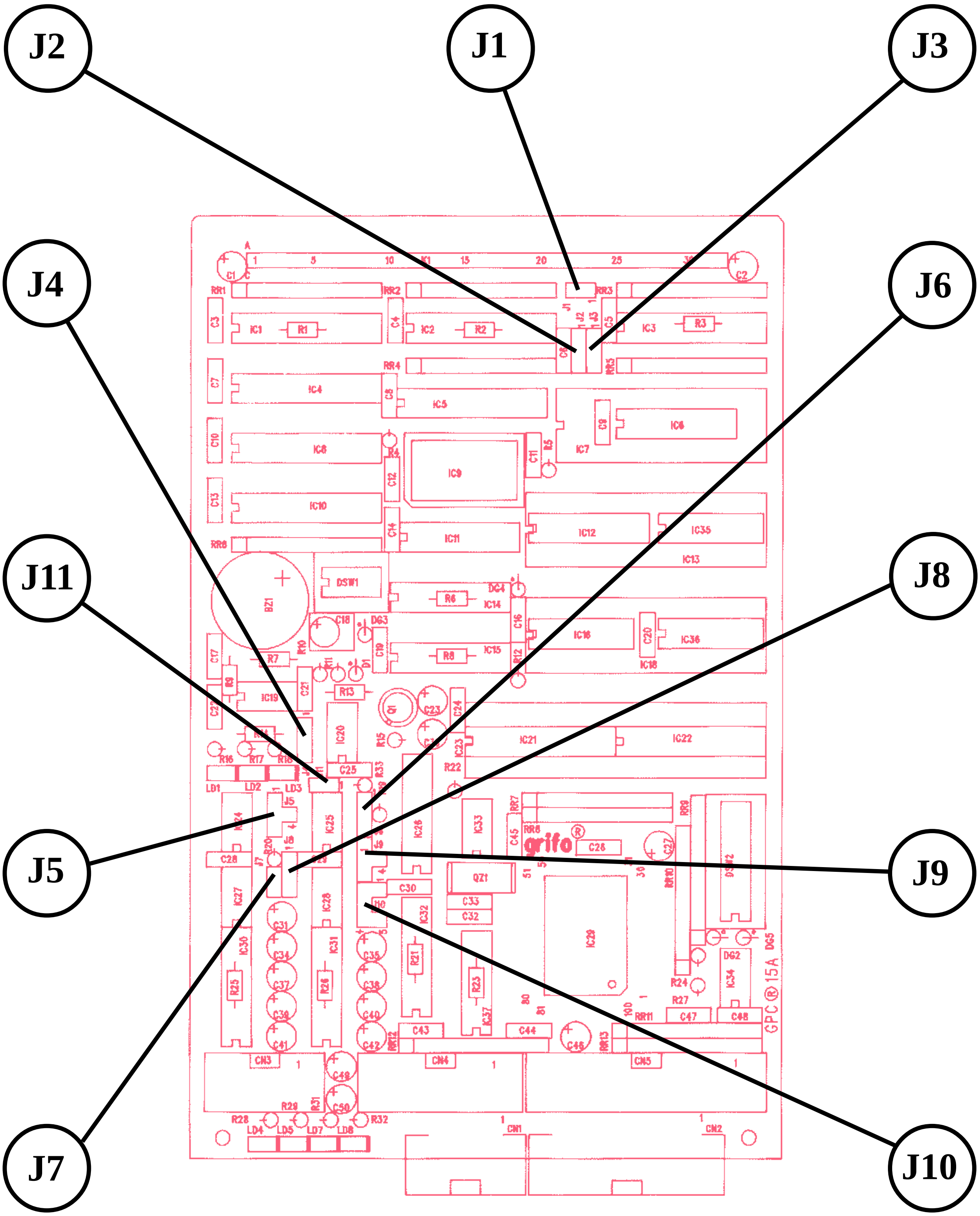


FIGURA 25: DISPOSIZIONE JUMPERS

JUMPER A 4 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J5	posizione 1-2	Predispone linea seriale B in RS 232.	*
	posizione 2-3	Predispone linea seriale B in current loop.	
	posizione 2-4	Predispone linea seriale B in RS 422-485.	
J9	posizione 1-2	Connette circuiteria di reset al pulsante P1 esterno alla scheda, presente in alcuni mother board.	*
	posizione 2-3	Connette circuiteria di reset alla circuiteria di Watch Dog, esterna alla CPU.	
	posizione 2-4	Connette circuiteria di reset alla circuiteria di Watch Dog, interna alla CPU.	

FIGURA 26: TABELLA JUMPERS A 4 VIE

JUMPER A 5 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J10	posizione 1-2 e 3-4	Abilita trasmissione su linea seriale B in RS 422-485 in half duplex a 2 fili	
	posizione 2-3 e 4-5	Abilita trasmissione su linea seriale B in RS 422-485 in full duplex o half duplex a 4 fili	*

FIGURA 27: TABELLA JUMPERS A 5 VIE

l'***** indica la connessione di default, ovvero quella impostata in fase di collaudo, con cui la scheda viene fornita.

RESET E WATCH DOG

La scheda **GPC® 15A** è dotata di due circuiterie di Watch Dog, una interna alla CPU ed una esterna, molto efficienti e di facile gestione software. Le caratteristiche della circuiteria esterna sono le seguenti:

- funzionamento astabile;
- tempo d'intervento di circa 700 msec;
- attivazione via hardware;
- retrigger via software;

Con il jumper J4 si seleziona il modo di funzionamento della circuiteria esterna di Watch Dog (monostabile: una volta scaduto il tempo d'intervento la circuiteria si attiva rimanendo attiva fino ad un power on o reset; astabile: una volta scaduto il tempo d'intervento la circuiteria si attiva, rimane attiva per il tempo di reset e quindi si disattiva nuovamente). La durata del temp di reset é circa 7 ms, l'intervento del Watch Dog esterno è segnalato dall'accensione del LED LD8.

Le caratteristiche della circuiteria interna sono le seguenti:

- funzionamento monostabile;
- tempo d'intervento programmabile via software;
- attivarazione via software e via hardware;
- retrigger via software;

Con il jumper J9 si seleziona la sorgente di /RESET e quindi l'attivazione delle circuiterie di Watch Dog; viste le possibilità di connessione si conclude che le due sezioni di watch dog non possono essere contemporaneamente abilitate.
Con il jumper J1 infine, si ha la possibilità di non resettare tutte le schede presenti sul BUS quando il reset di bordo viene attivato; questa possibilità è veramente interessante se esaminata in relazione all'utilizzo delle circuiterie di Watch Dog, quando l'eventuale intervento di quest'ultima circuiteria non deve influire sulle altre schede del sistema.
Si ricorda che nel funzionamento monostabile, una volta scaduto il tempo d'intervento, la circuiteria di Watch Dog si attiva rimanendo attiva fino ad un power on o reset.
In corrispondenza dell'attivazione e sucessiva disattivazione del segnale di /RESET la scheda riprende l'esecuzione del programma salvato su IC13 (all'indirizzo 0000H), partendo da una condizione di azzeramento generale.
Si ricorda inoltre che il segnale di /RESET generato dalla scheda é riportato anche sul connettore K1 (pin 16C) e che tra le sorgenti di reset della **GPC® 15A**, oltre alla circuiteria di watch dog esterna, sono sempre presentile periferiche interne alla CPUe il contatto di reset R.T. (pin 29C di K1).
Per quanto riguarda l'operazione di retrigger della circuiteria di watch dog esterna, si faccia riferimento al paragrafo "WATCH DOG" del capitolo "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO".

COMUNICAZIONE SERIALE

La linea di comunicazione seriale A della scheda **GPC® 15A** può essere bufferata solo in RS 232, mentre la linea seriale B può essere bufferata in RS 232, RS 422, RS 485 o Current Loop. La selezione del tipo d'interfacciamento avviene via hardware e viene effettuata tramite un opportuno strippaggio dei jumpers di bordo, come può essere desunto dalla lettura delle precedenti tabelle. Dal punto di vista software sono invece definibili tutti i parametri del protocollo fisico di comunicazione tramite la programmazione dei registri interni della CPU.
Alcuni componenti necessari per le configurazioni RS 422, RS 485 e Current Loop non sono montati e collaudati sulla scheda in configurazione di default; per questo la prima configurazione della seriale B non in RS 232 deve essere sempre effettuata dai tecnici **grifo®**. A questo punto l'utente può cambiare autonomamente la configurazione seguendo le informazioni sotto riportate:

- LINEA SERIALE B SETTATA IN RS 232 (configurazione default)

			IC24	= indifferente
J5	=	posizione 1-2	IC25	= indifferente
J8	=	indifferente	IC27	= indifferente
J10	=	indifferente	IC28	= indifferente
J7, J11	=	indifferente	IC31	= driver MAX 202

- LINEA SERIALE B SETTATA IN CURRENT LOOP (opzione .CLOOP)

			IC24	= HCPL 4200
J5	=	posizione 2-3	IC25	= HCPL 4100
J8	=	indifferente	IC27	= nessun componente
J10	=	indifferente	IC28	= nessun componente
J7, J11	=	indifferente	IC31	= nessun componente

Da ricordare che l'interfaccia seriale in Current Loop é di tipo passivo e si deve quindi collegare una linea current loop attiva, ovvero provvista di un proprio alimentatore. L'interfaccia Current Loop può essere utilizzata per realizzare sia connessioni punto punto che multipunto con un collegamento a 4 o 2 fili.

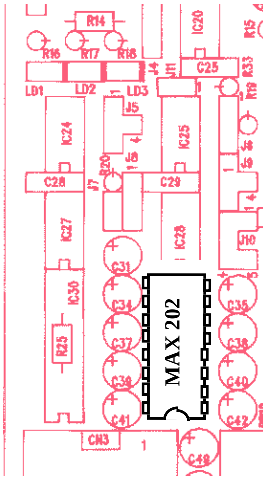
- LINEA SERIALE B SETTATA IN RS 422 (opzione .RS 422)

			IC24	= nessun componente
J5	=	posizione 2-4	IC25	= nessun componente
J8	=	posizione 1-2	IC27	= SN 75176 o MAX 483
J10	=	posizione 2-3 e 4-5	IC28	= SN 75176 o MAX 483
J7, J11	=	(*1)	IC31	= nessun componente

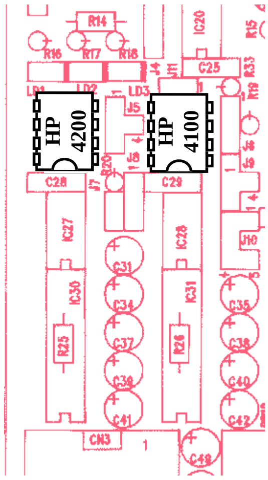
Lo stato del segnale /RTSB, gestito via software, consente di abilitare o disabilitare il trasmettitore come segue:

/RTSB = livello basso = stato logico 0 -> trasmettitore attivo
/RTSB = livello alto = stato logico 1 -> trasmettitore disattivo

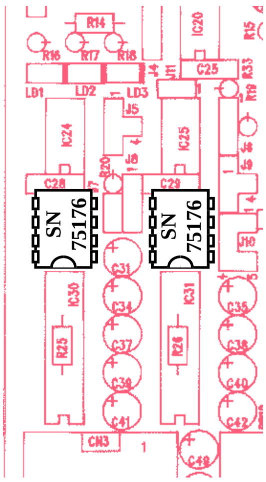
Per sistemi punto punto, la linea /RTSB può essere mantenuta sempre bassa (trasmettitore sempre attivo), mentre per sistemi multipunto si deve attivare il trasmettitore solo in corrispondenza della trasmissione.



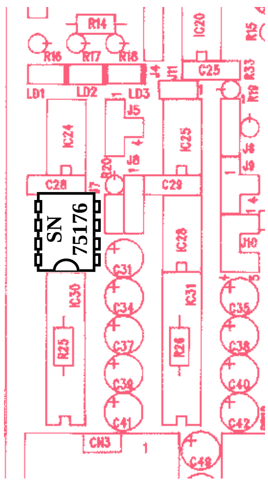
Seriale B in RS 232



Seriale B in Current Loop



Seriale B in RS 422



Seriale B in RS 485

FIGURA 28: DISPOSIZIONE DRIVER PER COMUNICAZIONE SERIALE

- LINEA SERIALE B SETTATA IN RS 485 (opzione .RS 485)

			IC24	= nessun componente
J5	=	posizione 2-4	IC25	= nessun componente
J8	=	posizione 1-2	IC27	= SN 75176 o MAX 483
J10	=	posizione 1-2 e 3-4	IC28	= nessun componente
J7, J11	=	(*1)	IC31	= nessun componente

In questa modalità le linee da utilizzare sono i pin 1 e 2 di CN3, che quindi diventano le linee di trasmissione o ricezione a seconda dello stato del segnale /RTSB, gestito via software, come segue:

/RTSB = livello basso = stato logico 0 -> linea in trasmissione
/RTSB = livello alto = stato logico 1 -> linea in ricezione

Questa comunicazione la si utilizza sia per connessioni punto punto che multipunto con un collegamento a 2 fili. Sempre in questa modalità é possibile ricevere quanto trasmesso, in modo da fornire al sistema la possibilità di verificare autonomamente la riuscita della trasmissione; infatti in caso di conflitti sulla linea, quanto trasmesso non viene ricevuto correttamente e viceversa.

(*1) Nel caso si utilizzi la linea seriale in RS 422 o RS 485, con i jumpers J7 e J11 é possibile connettere la circuiteria di terminazione sulla linea . Tale circuiteria deve essere sempre presente nel caso di sistemi punto punto, mentre nel caso di sistemi multipunto, deve essere collegata solo sulle schede che risultano essere alla maggior distanza, ovvero ai capi della linea di comunicazione.

In fase di reset o power on, il segnale /RTSB è mantenuto a livello logico alto di conseguenza in seguito ad una di queste fasi il driver RS 485 è in ricezione o il driver di trasmissione RS 422 è disattivo, in modo da eliminare eventuali conflittualità sulla linea di comunicazione.
Per ulteriori informazioni relative alla comunicazione seriale fare riferimento agli esempi di collegamento delle figure 9÷16 ed all'appendice B di questo manuale.

INGRESSI DI CONFIGURAZIONE

La scheda **GPC® 15A** è provvista di un Dip Switch a 4 vie (DSW1), di un Dip Switch ad 8 vie (DSW2) e di 1 jumper (J6), il quale svolge la funzione di RUN/DEBUG, tipicamente utilizzabili per la configurazione del sistema, i cui valori sono sono acquisibili via software. Le applicazioni più immediate possono essere quelle destinate al settaggio delle condizioni di lavoro od alla selezione di parametri relativi al firmware di bordo, come ad esempio: selezione della lingua di rappresentazione, identificazione del sistema all'interno di una rete di comunicazione seriale, selezione della modalità di test o di configurazione, ecc.
Si ricorda che il Dip Switch DSW2 é montato su zoccole e che occupa le linee del port B del PPI 82C55 alle quali si può accedere semplicemente rimuovendo lo stesso Dip Switch. Le modalità di acquisizione degli ingressi di configurazione sono riportate nel capitolo "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO", mentre per una facile individuazione della loro posizione si vedano le figure 22 e 25.

INTERRUPTS

Una caratteristica peculiare della **GPC® 15A** è la notevole potenza nella gestione delle interruzioni. Di seguito viene riportata una breve descrizione di quali sono i dispositivi che possono generare interrupts e con quale modalità; per quanto riguarda la gestione di tali interrupts si faccia riferimento ai data sheets del microprocessore oppure all'appendice B di questo manuale.

- **ABACO®** BUS -> Genera un /NMI sulla CPU, tramite la linea /NMI di K1. Genera un /INT normale o vettorizzato, senza rispettare la catena di priorità daisy chain, tramite la linea /INT di K1.

- Periferiche della CPU -> Generano un /INT normale o vettorizzato, tenendo conto della catena di priorità daisy chain le sezioni: CTC, SIO, PIO.

La catena di priorità daisy chain presente sulla scheda è composta solo dalle tre periferiche SIO, PIO e CTC e può essere programmata via software tramite uno dei registri interni al microprocessore. In questo modo l'utente ha sempre la possibilità di rispondere in maniera efficace e veloce a qualsiasi evento esterno, stabilendo anche la priorità delle varie sorgenti.
Per ulteriori informazioni si veda l'appendice B di questo manuale.

SELEZIONE MEMORIE

La **GPC® 15A** può montare fino ad un massimo di 656K bytes di memoria variamente suddivisa tra EPROM, FLASH EPROM, SRAM e EEPROM seriale. In particolare per la configurazione seguire le informazioni riportate nella seguente tabella:

IC	DISPOSITIVO	DIMENSIONE	STRIPPAGGIO
18	EPROM	128K Byte	J3 in posizione 2-3
	EPROM	256K Byte	J3 in posizione 2-3
	EPROM	512K Byte	J3 in posizione 2-3
	FLASH EPROM	128K Byte	J3 in posizione 1-2
	FLASH EPROM	256K Byte	J3 in posizione 1-2
13	SRAM	128K Byte	-
7	SRAM+RTC	2K Byte	J2 in posizione 1-2
	SRAM+RTC	8K Byte	J2 in posizione 2-3
34	EEPROM	256÷8K Byte	-

FIGURA 29: TABELLA DI SELEZIONE MEMORIE

Tutti i dispositivi sopra descritti devono essere con pin out di tipo JEDEC a parte l'EEPROM seriale di IC34 che deve essere richiesta alla **grifo®** in fase di ordine della scheda. Per quanto riguarda le sigle dei vari dispositivi che possono essere montati, fare riferimento alla documentazione della casa costruttrice.
Normalmente la **GPC® 15A** é fornita nella sua configurazione di default con solamente 128K SRAM su IC13 e 512 bytes di EEPROM su IC34; ogni configurazione diversa può essere autonomamente montata dall'utente oppure richiesta nella fase di ordine. Sotto sono riportate i codici delle opzioni di memoria disponibili:

.EE08	->	1K EEPROM seriale
.EE16	->	2K EEPROM seriale
.EE64	->	8K EEPROM seriale
.128KMOD	->	128K SRAM di lavoro tamponata
.2KMOD	->	2K SRAM tamponata
.8KMOD	->	8K SRAM tamponata
.2KRTC	->	2K SRAM tamponata con RTC
.8KRTC	->	8K SRAM tamponata con RTC

Per ulteriori informazioni e costi delle opzioni, contattare direttamente la **grifo®**, mentre per una facile individuazione dei dispositivi di memoria fare riferimento alla figura 22.

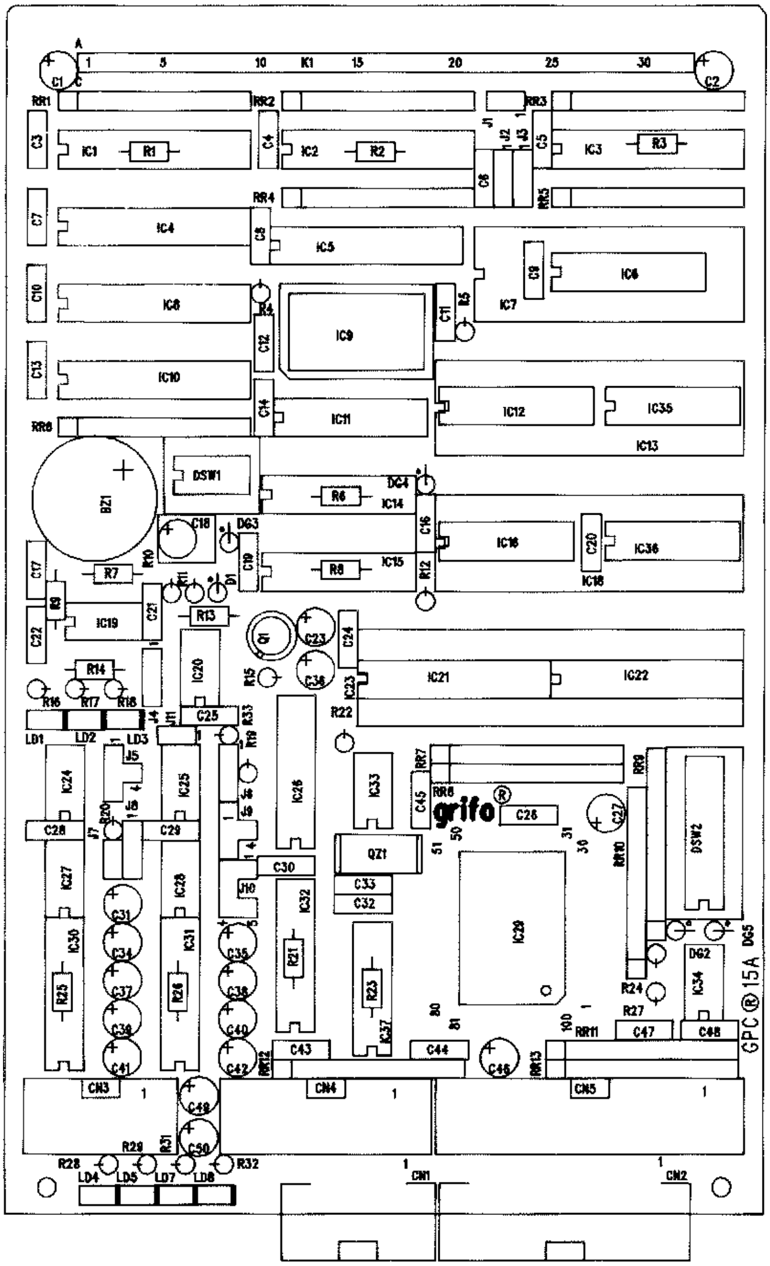


FIGURA 30: PIANTA COMPONENTI

DESCRIZIONE SOFTWARE

Questa scheda ha la possibilità di usufruire di una ricca serie di strutture software che consentono di utilizzarne al meglio le caratteristiche. In generale la scheda può utilizzare tutte le risorse software disponibili per il processore montato, ovvero i numerosi pacchetti ideati per lo Z80. Tra questi ricordiamo:

GET80
Completo programma di EDITOR , Comunicazione e gestione delle Memorie di Massa per le schede della famiglia 80. Questo programma, sviluppato dalla **grifo**®, consente di operare in condizioni ottimali, tutte le volte che si deve usare il **GDOS** o la versione per FLASH EPROM **FGDOS**. Viene fornito in abbinamento all'aquisto di uno dei pacchetti citati e viene personalizzato con il nome ed i dati dell'acquirente. Una serie di comodi menù a tendina facilita l'uso del programma, il quale può funzionare anche in abbinamento ad un mouse. Il programma, oltre che girare in ambiente MS-DOS, gira tranquillamente anche sulle macchine MACINTOSH in abbinamento al programma SOFT-PC. Viene fornito su dischetti MS-DOS da 3"1/2 con relativa documentazione sul manuale **GDOS 80**.

GDOS 15A
Tools di sviluppo completo per le schede della fam. 80. Viene fornito in abbinamento al programma **GET80**, per consentire un immediato e pieno utilizzo di questo potente strumento di sviluppo. Il GDOS può essere concettualmente diviso in due distinte strutture. Una struttura lavora essenzialmente su PC, mantenendo il collegamento con la seconda tramite la linea seriale. La seconda risiede in EPROM ed opera a bordo scheda. La parte a bordo scheda è essenzialmente un potente Sistema Operativo che si preoccupa di eseguire tutte quelle funzioni a più basso livello e nello stesso tempo consente di poter operare con linguaggi ad Alto Livello direttamente a bordo scheda. L'abbinamento delle due strutture fa si che la scheda ed il PC si comportino come un'unica macchina. Infatti la scheda usa, come se fossero le proprie, le risorse del PC come le Memoria di Massa quali i Floppy-Disk, l'Hard-Disk; la Stampante ecc. Il tutto avviene in modo completamente trasparente per l'utente il quale usa questo tipo di Macchina Virtuale esattamente come è abituato ad adoperare il suo PC. Molto interessante è la compatibilità del **GDOS** con tutti i linguaggi ed i programmi CP/M. Questo significa che se l'utente ha dei programmi o dei linguaggi a cui sono legate delle applicazioni o delle sue specifiche conoscenze o altro, può utilizzare tutto quanto ha, virtualmente senza cambiamenti, in modo immediato sotto **GDOS**.
Il **GDOS**, oltre ai tipici drivers del PC, gestisce come RAM-Disk e ROM-Disk tutte le risorse di memoria della scheda, eccedenti i 64KBytes, là dove queste siano presenti. Questo significa che i dispositivi di RAM a bordo scheda, che spesso sono Backed tramite batterie, possono essere gestite in modo diretto dai linguaggi ad alto livello, trattando comodamente come Files, le informazioni da archiviare o ricercare.
Il Tools viene fornito in EPROM, in abbinamento al disco in formato MS-DOS del **GET80**, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

FGDOS 15A
Caratteristiche analoghe al **GDOS**, con la differenza che è in grado di programmare e cancellare le FLASH-EPROM a bordo scheda, con i programmi generati dall'utente. In questo modo non è necessario un programmatore di EPROM esterno per congelare il programma. E' inoltre possibile, tramite un PC Portatile, intervenire direttamente a bordo macchina per cambiare il programma di gestione.
Il Tools viene fornito in FLASH-EPROM, in abbinamento al disco in formato MS-DOS del **GET80**, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

xGDOS MCI 150

Versione del **GDOS**, o del **FGDOS**, in grado di gestire, ad alto livello, le schedine di Memory-Card tipo PCMCIA. In abbinamento alla scheda **MCI 64**, il Sistema Operativo di bordo gestisce come RAM-Disk o ROM-Disk le Memory-Card. Questo consente di risolvere rapidamente, e senza crearsi problemi di gestione software, tutte quelle problematiche di raccolta dati che spesso si incontrano nella realizzazione di strutture di Data-Logging, gestendo questi dispositivi sempre con linguaggi ad alto livello.
Il Tools viene fornito in EPROM od in FLASH-EPROM, a secondo le necessità dell'utente, in abbinamento al disco in formato MS-DOS del **GET80**, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

CBZ-80

Completo **Compilatore BASIC**, per la fam. di CPU Z80 compatibili, in grado di generare un codice molto compatto e molto veloce. Per poter funzionare ha bisogno di essere usato in abbinamento ad una qualsiasi delle versioni del **GDOS**. Lo **CBZ-80** consente di superare la limitazione dei 64 KBytes indirizzabili dalle CPU della famiglia 80. A questo scopo si utilizza la tecnica del CHAIN, offerta dal Sistema Operativo **GDOS** in abbinamento alle possibilità di RAM-Disk e ROM-Disk offerte dalle varie schede del carteggio **Abaco**®. Usato con il potente Editor incorporato nel programma **GET80**, si dispone di un potente strumento di lavoro per generare, con estrema efficienza e comodità, qualsiasi programma applicativo.
Il programma viene fornito in EPROM, assieme al sistema operativo della serie **GDOS**, e su dischetto MS-DOS e con il relativo manuale tecnico ed una serie di esempi.

PASCAL-80

Completo e molto efficiente Compilatore PASCAL per la famiglia 80 di CPU. Ha delle caratteristiche operative analoghe a quelle del **Turbo PASCAL** Ver.3 della **Borland**, a cui si fà riferimento per quanto riguarda sia le caratteristiche che la manualistica. Il **PASCAL-80** lavora in abbinamento ad una delle varie versioni di Sistema Operativo **GDOS**. Le modalità di Emulazione Terminale offerta dal programma **GET80**, supportano pienamente il tipico Editor a pieno schermo del PASCAL, compresa la gestione degli attributi. Sfruttando la possibilità di gestione di RAM-Disk e ROM-Disk, offerta dal **GDOS**, si possono sfruttare appieno le possibilità di OVERLAY del PASCAL per superare il limite dei 64KBytes di indirizzamento delle CPU della famiglia 80.
Il programma viene fornito in EPROM, assieme al sistema operativo della serie **GDOS**, e su dischetto MS-DOS in abbinamento alle note tecniche e ad una serie di esempi.

RSD 15A

Questo Tools è un **Remote Simbolic Debugger** che ha due modalità operative. La prima è una modalità di debugger in simulazione. La seconda è una modalità di debugger in remoto. In questo ultimo caso si riesce ad effettuare il debugger del codice direttamente sulla scheda target. Tramite la linea seriale, si effettuato il Down-Load del programma in HEX e della relativa tabella dei simboli. Fatto il caricamento, è possibile debuggare il codice in modo simbolico, in modalità Step-To-Step, mettere break-point, ecc. con delle caratteristiche di comodità simili a quelle di un In Circuit Emulator. Il programma **RSD** è in grado di supportare sia il codice **Z80** che i codici aggiuntivi dello **Z180**. Le possibilità di debugger del Tools **RSD** possono espletarsi sia in abbinamento ad un **Macro Assembler** come lo **ZASM 80**, che in abbinamento al **C Compiler CC-80**. Molto importante è la possibilità di gestire dei Break-Point software, legati ad una molteplicità di possibilità ed un Break-Point hardware che fa capo al segnale di NMI.
Il Tools viene fornito in EPROM e su un dischetto MS-DOS con il relativo manuale tecnico.

ZASM 80

Macro Cross-Assembler in grado di lavorare su un qualsiasi PC in ambiente MS-DOS. E’ in grado di supportare sia il mnemonico dello Z80 che i codici aggiuntivi presenti nello Z180. Il codice generato può essere debuggato sia in simulazione sul PC che direttamente sul target, in modalità remota, utilizzando il comodo tools **RSD**. Lo **ZASM** è compatibile con il C Compiler **CC-80**, di cui assembla il risultato della compilazione.
Il programma viene fornito su dischetto MS-DOS e con il relativo manuale tecnico.

CC 80

Compilatore C, ANSI/ISO Standard, completo di Floating-Point, in grado di generare codice per le CPU della famiglia Z80 e Z180. Si abbina al Cross-Assembler **ZASM-80** ed al Tools di Remote Simbolico Debugger, **RSD**.
Il programma viene fornito su dischetto MS-DOS e con il relativo manuale tecnico.

HI TECH 80

Cross Compilatore C professionale della Hi-Tech Software. Questo compilatore è estremamente veloce e genera pochissimo codice. Questo risultato è ottenuto grazie a delle avanzate tecniche di ottimizzazione del codice generato, basato su tecniche di Intelligenza Artificiale che gli consentono di ottenere un codice compatto ed estremamente veloce. Il pacchetto comprende IDE, Compiler, Ottimizzatore del codice, Assembler, Linker, Remote debugger, ecc. Questo tools è Full ANSI/ISO Standard C ed è Full Library Source Code. Una volta fatto il porting del modulo di Remote-Debugger, consente di debuggare il software direttamente nell’hardware in sperimentazione. Questo tipo di specializzazione del **Remote-Debugger** è già disponibile, e viene fornito, per tutte le schede di CPU della **grifo**®. Il pacchetto software viene fornito su dischetti da 3”1/2 nel formato MS-DOS, completo di un esauriente manuale.
Questa versione supporta le CPU Z80, Z180, 84C011, 84C11, 84C013, 80C13, 80C015, 84C15, 64180, NCS800, Z181, Z182.

DDS MICRO C

E' un comodo pacchetto software, a basso costo, che tramite un completo I.D.E. permette di utilizzare un editor, un compilatore "C" (integer), un assemblatore, un linker e un remote debugger abbinato ad un monitor. Sono inclusi i sorgenti delle librerie, una serie di utility ed una ricca documentazione su dischetto da 3”1/2 nel formato MS-DOS.

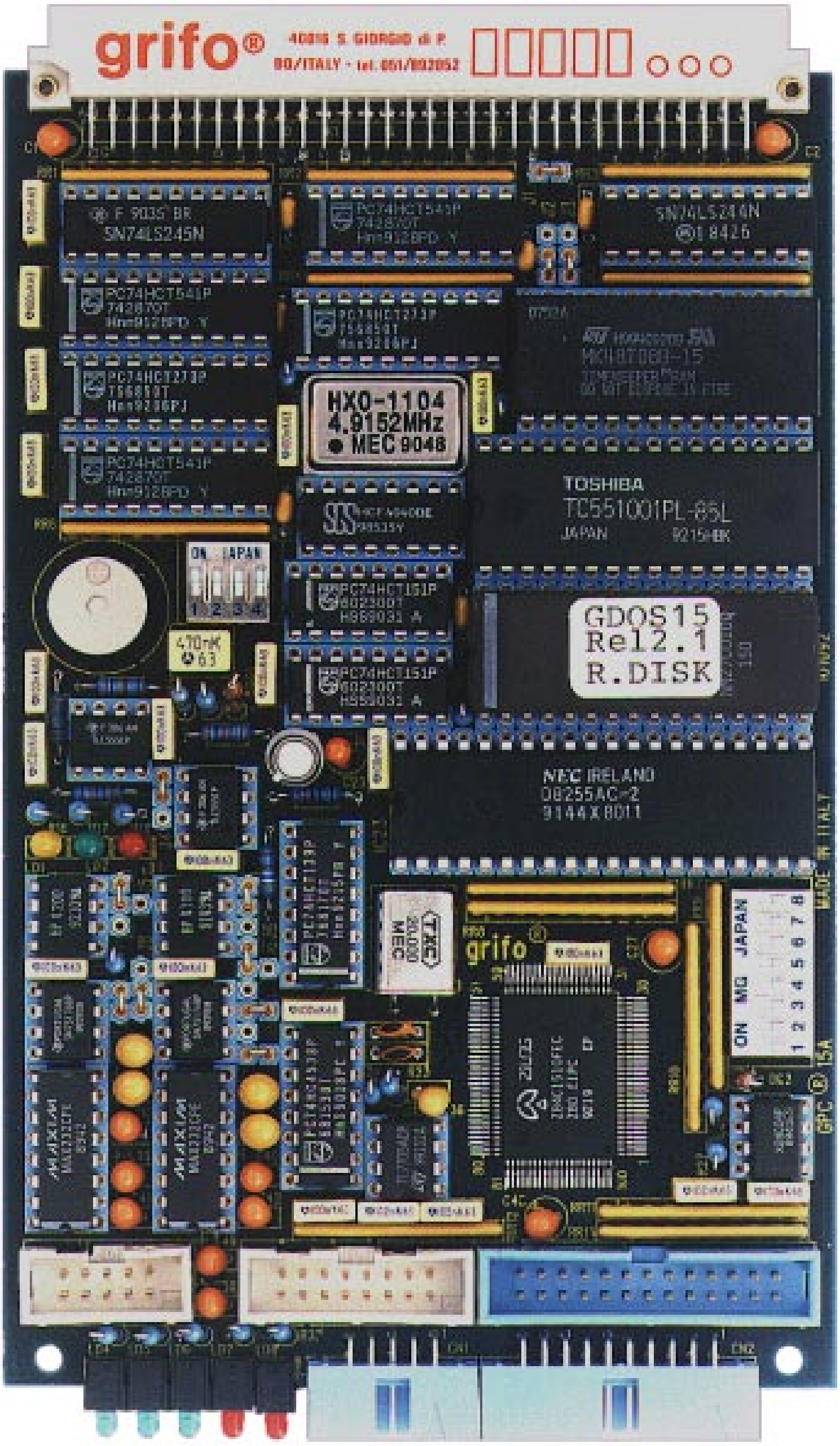


FIGURA 31: FOTO SCHEDA

MAPPAGGI ED INDIRIZZAMENTI

In questo capitolo ci occuperemo di fornire tutte le informazioni relative all'utilizzo della scheda, dal punto di vista della programmazione via software. Tra queste si trovano le informazioni riguardanti il mappaggio delle memorie, delle periferiche e di tutte le altre sezioni componenti.

MAPPAGGIO DELLE RISORSE DI BORDO

La gestione delle risorse della scheda è affidata ad una logica di controllo completamente realizzata con logiche programmabili. Essa si occupa del mappaggio delle zone di SRAM ed EPROM e di tutte le periferiche di bordo.
La logica di controllo è realizzata in modo da gestire separatamente il mappaggio delle memorie di bordo ed il mappaggio delle periferiche viste in Input/Output. Complessivamente la CPU Z84C15 indirizza direttamente 64K Byte di memoria e 256 indirizzi di I/O, quindi alla logica di controllo è assegnato il compito di allocare lo spazio logico d'indirizzamento delle memorie nello spazio fisico massimo di 656K Byte. Questa gestione è effettuata via software tramit la programmazione della circuiteria di MMU con cui si può definire quali memorie utilizzare con una suddivisione in pagine da 32K Byte. Per quanto riguarda il mappaggio dell'I/O si deve invece ricordare che la logica di controllo provvede naturalmente a non utilizzare le locazioni riservate per le periferiche interne della CPU, in modo da evitare ogni problema di conflittualità.
Riassumendo i dispositivi mappati sulla scheda sono essenzialmente:

- **ABACO®** BUS
- Fino a 512K Byte di EPROM o 256K Byte FLASH EPROM su IC18
- Fino a 128K Byte di SRAM su IC13
- Fino a 8K Byte di EEPROM seriale su IC34
- SIO
- CTC
- PIO
- RTC
- Baud rate generator
- Circuiteria di Memory Management Unit
- Dip switch di configurazione DSW1 e DSW2
- LEDs di attività
- Buzzer
- Circuiterie di Watch Dog

Questi occupano gli indirizzi riportati nei paragrafi seguenti e non possono essere riallocati in nessun altro indirizzo. In caso di specifiche esigenze in termini di mappaggio, contattare direttamente la **grifo®**.

MAPPAGGIO ABACO® BUS

La logica di controllo della **GPC® 15A** provvede anche alla gestione dell'**ABACO® BUS**, definendo gli indirizzi in cui tale BUS viene allocato. In particolare,come si può notare dalla tabella indirizzamento I/O, tale BUS è indirizzato in corrispondenza degli inirizzi 30H÷DFH
Un accesso in I/O in un qualsiasi indirizzo compreso in questi range abilta il segnale /IORQ e tutti gli altri segnali di controllo di K1.

MAPPAGGIO MEMORIE

Sulla scheda i 656K Byte di memoria che possono essere montati sono così allocati:

Fino a 512K Byte di EPROM o 256K Byte di FLASH EPROM allocati nello spazio di memoria
Fino a 128K Byte di SRAM allocati nello spazio di memoria
Fino a 8K Byte di EEPROM seriale allocati nello spazio di I/O
Fino ad 8K Byte di SRAM tamponata allocata nello spazio di I/O

La **GPC® 15A** può indirizzare direttamente un massimo di 64K Byte di memoria che coincide con lo spazio d'indirizzamento logico del microprocessore. Questa capacità di memoria è stata suddivisa in due pagine da 32K Byte cadauna: sulla prima può essere allocata sia SRAM che EPROM, mentre sulla seconda solo SRAM. La circuiteria di MMU si occupa tramite una semplice gestione software, di dividere lo spazio dei dispositivi fisici allocati in memoria, sempre in pagine da 32K Byte e di allocarle nello spazio direttamente indirizzato dalla CPU. Programmando la circuiteria di MMU tramite l'apposito registro, è quindi possibile indirizzare indirettamente, un'area notevolmente superiore a quella supportata direttamente dal microprocessore. Vengono di seguito riportate due figure che illustrano le possibili configurazioni dei dispositivi allocati nello spazio di memoria, per maggiori informazioni fare riferimento al paragrafo "MEMORY MANAGEMENT UNIT", mentre per una facile individuazione dei dispositivi di memoria fare riferimento alla figura 22.
Alcuni pacchetti software, come il **GDOS** o l'**FGDOS**, si occupano autonomamente della gestione della circuiteria di MMU per allocare tutta la memoria fisicamente presente a bordo scheda nello spazio d'indirizzamento del microprocessore, senza interessare direttamente l'utente.

All'atto del power on o del reset, il segnale R/E è settato a 0, quindi la scheda parte con l'esecuzione del codice posto all'indirizzo logico 0000H della pagina 0 di EPROM o FLASH EPROM di IC13.

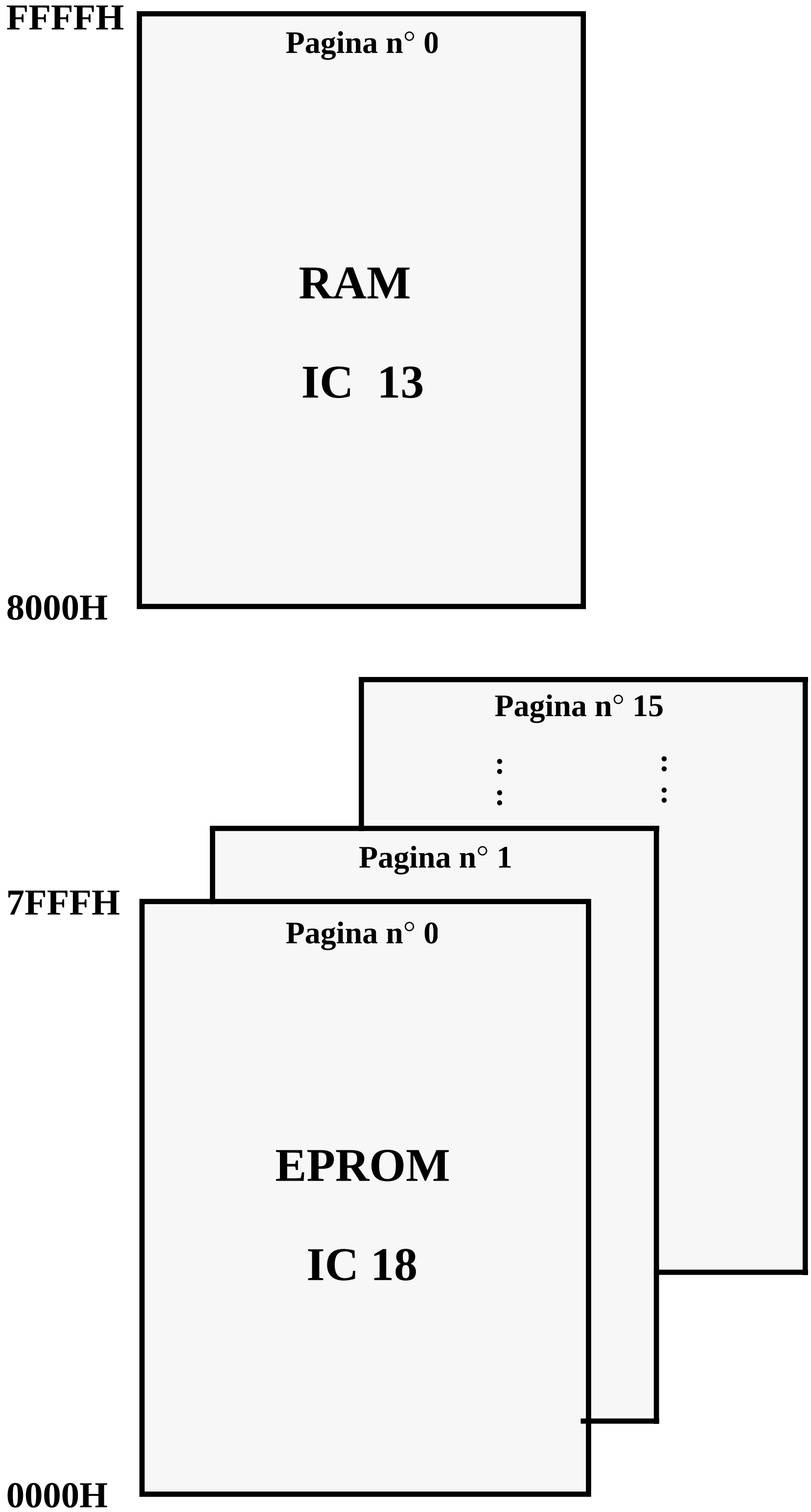


FIGURA 32: MAPPAGGIO DELLE MEMORIE CON R/E=0

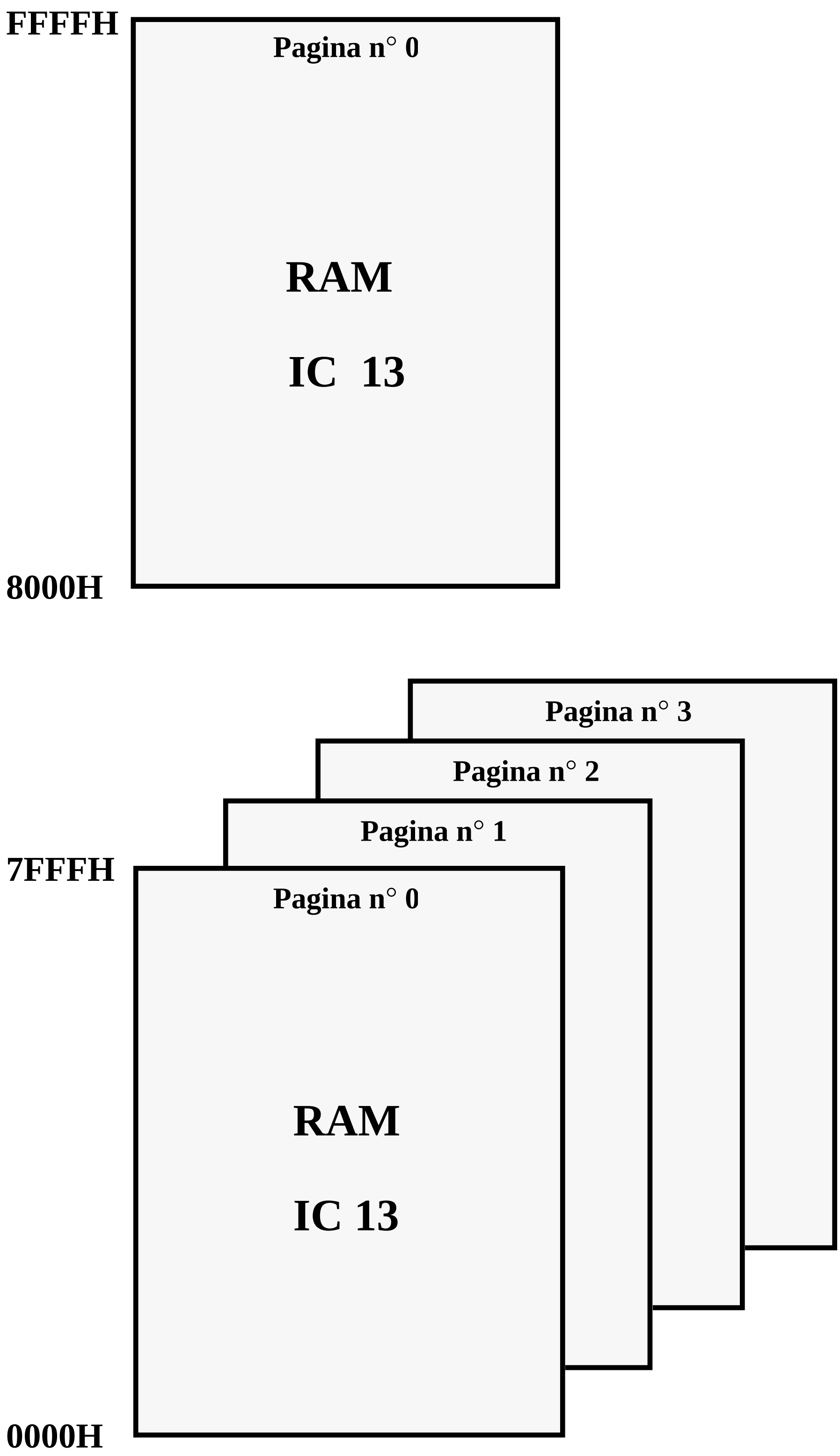


FIGURA 33: MAPPAGGIO DELLE MEMORIE CON R/E=1

MAPPAGGIO I/O

Il mappaggio delle periferiche di bordo allocate nello spazio di I/O, è getito dalla logica di controllo dela sched che provvede ad indirizzare tali dispositvi all'interno dello spazio di I/O el microprocessore, che ha una dimensione di 256 indirizzi. Viene di seguito riportato l'indirizzamento delle periferiche dibordo, comprse quele intrne alla CPU. Per maggior chiarezza si riportano i nomi dei registri, i loro indirizi, il tpo di accesso ed una breve descriione del loro significato:

DISP.	REG.	IND.	R/W	SIGNIFICATO
SRAM+	B0	00H	R/W	Primo byte del blocco dati
RTC DI	B1	01H	R/W	Secondo byte del blocco dati
IC 7	:	:	:	:
	:	:	:	:
	B15	0FH	R/W	Sedicesimo byte del blocco dati
CTC	RC0	10H	R/W	Registro stato dati del contatore 0
	RC1	11H	R/W	Registro stato dati del contatore 1
	RC2	12H	R/W	Registro stato dati del contatore 2
	RC3	13H	R/W	Registro stato dati del contatore 3
PPI	PDA	14H	R/W	Registro dati del port A
82C55	PDB	15H	R/W	Registro dati del port B
	PDC	16H	R/W	Registro dati del port C
	CNT	17H	R/W	Registro di controllo e comando
SIO	RDA	18H	R/W	Registro dati della linea seriale A
	RSA	19H	R/W	Registro di stato della linea seriale A
	RDB	1AH	R/W	Registro dati della linea seriale A
	RSB	1BH	R/W	Registro di stato della linea seriale B
PIO	PAD	1CH	R/W	Registro dati del port A
	PAS	1DH	W	Registro di controllo del port A
	PBD	1EH	R/W	Registro dati del port B
	PBS	1FH	W	Registro di controllo del port B

FIGURA 34: TABELLA INDIRIZZAMENTO I/O - PARTE 1

DISP.	REG.	IND.	R/W	SIGNIFICATO
B.R.G.	BAUD	25H	R/W	Registro di settaggio ed acquisizione del baud rate delle due linee seriali
WD. EXT	RWD	25H	R	Registro retrigger watch dog esterno
RAM I/O	MEMIO	26H	R/W	Registro di settaggio ed acquisizione indirizzi del modulo di IC 7
IND.MEM	MEM	27H	R/W	Registro di settaggio ed acquisizione indirizzi dell'area di memoria (IC 18, IC 13)
LED ATT.	LD4,LD5	27H	W	Registro di gestione LED di attività
BUZZER	BUZ	27H	W	Registro di gestione buzzer
DSW1	DSW1	27H	R	Registro di acquisizione DSW1
ABACO® BUS	I/O BUS	30H÷DFH	R/W	Indirizzi I/O BUS
REG. INTERNI	SCRP	EEH	R/W	Registro di indirizzamento registri interni al microprocessore
	SCDP	EFH	R/W	Registro dati per i registri interni al microprocessore
W.D. INTERNO	WDTMR	F0H	R/W	Registro di programmazione watch dog interno
	WDTCR	F1H	W	Registro di accesso watch dog interno
INTER.	INTPR	F4H	W	Registro di settaggio priorità interrupt

FIGURA 35: TABELLA INDIRIZZAMENTO I/O - PARTE 2

Per quanto riguarda la descrizione del significato dei registri qui sopra riportati, si faccia riferimento al capitolo successivo “DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO”.

DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO

Nel paragrafo precedente sono stati riportati gli indirizzi di allocazione di tutte le periferiche e di seguito viene riportata una descrizione dettagliata della funzione e del significato dei relativi registri (al fine di comprendere le successive informazioni, fare sempre riferimento alle tabelle di indirizzamento I/O). Qualora la documentazione riportata fosse insufficiente fare riferimento direttamente alla documentazione tecnica della casa costruttrice del componente. In questo paragrafo inoltre non vengono descritte le sezioni che fanno parte del microprocessore; per quanto riguarda la programmazione di quest'ultime si faccia riferimento all'appendice B di questo manuale. Nei paragrafi successivi si usano le indicazioni **D0÷D7** e **.0÷7** per fare riferimento ai bits della combinazione utilizzata nelle operazioni di I/O ad 8 bits.

WATCH DOG ESTERNO

Il retrigger della circuiteria di watch dog esterna presente sulla **GPC® 15A**, avviene tramite una semplice operazione di input al registro RWD. Tale registro condivide lo stesso indirizzo della circuiteria di gestione del baud rate generator, ma questo non crea conflitti, infatti l'operazione di rettrigger è di sola lettura ed il dato che viene letto durante l'accesso, è privo di significato. Affinchè la circuiteria di watch dog esterna non intervenga, è indispensabile retriggerarla ad intervalli regolari di durata inferiore al tempo d'intervento . Se ciò non avviene e tramite il jumper J4 la circuiteria è connessa alla sezione di Reset, una volta scaduto il tempo d'intervento la scheda viene resettata. Il tempo d'intervento nella condizione di default è di circa 700 ms.

EEPROM SERIALE

Per quanto riguarda la gestione del modulo di EEPROM seriale (IC34), si faccia riferimento alla documentazione specifica del componente. In questo manuale tecnico non viene riportata alcuna informazione software in quanto la modalità di gestione è articolata e prevede una conoscenza approfondita del componente e comunque l'utente può usare le apposite procedure ad alto livello fornite nel pacchetto di programmazione. Si ricorda solo che i primi 32 bytes (0÷31) sono riservati e perciò si deve evitare la modifica dei medesimi. La logica di controllo consente la gestione software della EEPROM tramite i segnali DTRA e DTRB dello SIO incorporata nella CPU con le seguenti corrispondenze:

DTRB	->	linea DATA	(**SDA**)
DTRA	->	linea CLOCK	(**SCL**)

Data l'implementazione hardware della circuiteria di gestione del modulo di EEPROM seriale, si ricorda che di tale dispositivo i segnali **A0**,**A1**,**A2** dello slave address sono tutti posti a **0** logico. Lo stato logico 0 dei bit corrisponde allo stato logico basso (=0 V) del relativo segnale, mentre lo stato logico 1 dei bit corrisponde allo stato logico alto (=5 V) del segnale.

LEDS DI ATTIVITÀ

Considerando che la corrispondenza tra i LEDs di attività LD4,LD5 ed i registri di I/O è la seguente:

BAUD.7	->	LD4
BAUD.3	->	LD5

L'attivazione del LED avviene effettuando una operazione di output con il relativo Bit a 1 all'indirizzo di allocazione del registro relativo. Logicamente la disattivazione avviene tramite un'analoga operazione di output ma con il bit resettato a 0. I rimanenti bit dei registri devono essere settati tenendo conto della programmazione fornita alla circuiteria su cui interviene lo stesso registro. Entranbi i Bit sono azzerati in fase di Reset o power on, di conseguenza in seguito ad una di queste fasi i LEDs di attività sono disattivi.

INGRESSI DI CONFIGURAZIONE

La **GPC® 15A** dispone di 13 ingressi di configurazione settabili dall'utente ed acquisibili via software con le modalità di seguito riportate.
Il dip switch **DSW1** montato a bordo della **GPC® 15A** può essere accquisito effettuando una semplice operazione di input all'indirizzo di allocazione del registro DSW1. La corrispondenza tra i bit del registro e le linee del dip switch è la seguente:

D7	->	**DSW1.4**
D6	->	**DSW1.3**
D5	->	**DSW1.2**
D4	->	**DSW1.1**
D3	->	A16 x IC 18 e /A16 x IC 13(si veda paragrafo "MMU")
D2	->	A15 x IC 18 (si veda paragrafo "MMU")
D1	->	/A15 x IC 13 (si veda paragrafo "MMU")
D0	->	A12 x IC 7 (si veda paragrafo "MMU")

Come si nota della combinazione letta solo il nibble più significativo riguarda l'acquisizione del Dip Switch. La combinazione è in logica negata, ovvero il dip in **ON** fornisce lo stato logico **0** al corrispondente bit, mentre il dip in **OFF** fornisce lo stato logico **1**.

Il **jumper J6** é collegato all'ingresso **/SYNCB** del SIO incorporato nella CPU. La connessione in posizione **1-2** fornisce un livello logico **0** mentre la connessione in posizione **2-3** fornisce il livello logico **1**. Per informazioni su come acquisire lo stato del segnale /SYNCB si faccia riferimento all'appendice B di questo manuale.

Per informazioni su come acquisire lo stato del Dip Switch DSW2, che occupe le linee digitali del port B del PPI 82C55, si faccia riferimento al paragrafo che descrive lo stesso.

BUZZER

Il buzzer BZ1, si attiva effettuando una operazione di output con D6=1, all'indirizzo di allocazione del registro BUZ. Logicamente la disattivazione avviene tramite un'analoga operazione di output ma con il bit D6 resettato a 0. I rimanenti sette bit del registro BUZ devono essere settati tenendo conto della programmazione fornita alla circuiteria di MMU. Il registro BUZ è azzerato (tutti i bits a 0) in fase di Reset o power on, di conseguenza in seguito ad una di queste fasi il buzzer è disattivo.

MEMORY MANAGEMENT UNIT

L'allocazione dello spazio d'indirizzamento fisico delle memorie che possono essere montate sulla **GPC® 15A** all'interno dello spazio d'indirizzamento logico del microprocessore, è affidato ad una efficiente circuiteria di MMU. Tale sezione viene programmata tramiteil registro MEM allocato nello spazio di I/O. Il significato di tale registro è riportato di seguito:

MEM: I bits di tale registro hanno il seguente significato

D7 -> R/E
D6 -> BUZ (si veda paragrafo "BUZZER")
D5 -> A18 x IC18
D4 -> A17 x IC18
D3 -> A16 x IC18 ed /A16 x IC 13
D2 -> A15 x IC18
D1 -> /A15 x IC13
D0 -> A12 x IC7 (si veda paragrafo "SRAM TAMPONATA+RTC")

Il bit D7 di tale registro, denominato R/E, effettua la selezione del dispositivo di memoria da allocare nella pagina bassa (0000H÷7FFFH) dello spazio logico per la memoria del microprocessore:

R/E = 0 -> EPROM di IC18
R/E = 1 -> RAM di IC13

Mentre i bit D1÷D5 definiscono la pagina di RAM di IC13 od EPROM di IC18 che deve essere indirizzata ed il bit D0 definisce l'indirizzo della RAM tamponata + RTC vista in I/O. Utilizzando il registro MEM in una operazione di input, è possibile acquisire parte dello stato della circuiteria di MMU. In particolare del dato letto, solo i bit D0÷D3 riportano lo stato dei corrispondenti segnali. Il nibble più significativo riporta invece lo stato del dip switch DSW1.

All'atto del power on o del reset il registro MEM è azzerato (tutti i bits a 0); questo equivale ad una programmazione della sezione di MMU in cui i primi 32K indirizzati dalla CPU coincidono con la pagina 0 di EPROM di IC18 ed i secondi 32K coincidono con la pagina 0 di RAM di IC13.
Facendo riferimento alle figure 24 e 25 di mappaggio delle memorie, viene di seguito riportata una tabella che descrive tutte le possibili configurazioni della sezione MMU:

PAGINA 32K BASSI	PAGINA 32K ALTI	MEM D7÷D0
0: IC 18 EPROM o FLASH	0: IC 13 RAM	0X0000XXB = 00
1: IC 18 EPROM o FLASH	0: IC 13 RAM	0X0001XXB = 04
2: IC 18 EPROM o FLASH	0: IC 13 RAM	0X0010XXB = 08
3: IC 18 EPROM o FLASH	0: IC 13 RAM	0X0011XXB = 0C
4: IC 18 EPROM o FLASH	0: IC 13 RAM	0X0100XXB = 10
5: IC 18 EPROM o FLASH	0: IC 13 RAM	0X0101XXB = 14
6: IC 18 EPROM o FLASH	0: IC 13 RAM	0X0110XXB = 18
7: IC 18 EPROM o FLASH	0: IC 13 RAM	0X0111XXB = 1C
8: IC 18 EPROM	0: IC 13 RAM	0X1000XXB = 20
9: IC 18 EPROM	0: IC 13 RAM	0X1001XXB = 24
10: IC 18 EPROM	0: IC 13 RAM	0X1010XXB = 28
11: IC 18 EPROM	0: IC 13 RAM	0X1011XXB = 2C
12: IC 18 EPROM	0: IC 13 RAM	0X1100XXB = 30
13: IC 18 EPROM	0: IC 13 RAM	0X1101XXB = 34
14: IC 18 EPROM	0: IC 13 RAM	0X1110XXB = 38
15: IC 18 EPROM	0: IC 13 RAM	0X1111XXB = 3C
0: IC 13 RAM	0: IC 13 RAM	1XXX1X1XB = 8A
1: IC 13 RAM	0: IC 13 RAM	1XXX1X0XB = 88
2: IC 13 RAM	0: IC 13 RAM	1XXX0X1XB = 82
3: IC 13 RAM	0: IC 13 RAM	1XXX0X0XB = 80

FIGURA 36: TABELLA POSSIBILI PROGRAMMAZIONI SEZIONE DI MMU

La X indica che lo stato del bit é indifferente per il settaggio che si deve realizzare e può quindi assumere sia lo stato di 0 che di 1, a seconda delle esigenze della circuiteria che gestisce.

SIO

Fare riferimento all'apposita documentazione tecnica dell'appendice B.

PIO

Fare riferimento all'apposita documentazione tecnica dell'appendice B.

CTC

Fare riferimento all'apposita documentazione tecnica dell'appendice B.

WATCH DOG INTERNO

Fare riferimento all'apposita documentazione tecnica dell'appendice B.

SRAM TAMPONATA + RTC

La scheda **GPC® 15A** è provvista di uno zoccolo (IC7) per la gestione di un modulo di SRAM tamponata da 2 o da 8K Byte, che può inoltre comprendere un Real Time Clock. Di seguito viene riportata una descrizione di come utilizzare questo dispositivo dal punto di vista software.
Lo spazio d'indirizzamento della SRAM tamponata può variare da un minimo di 2K fino ad un massimo di 8K; comunque il modulo non è allocato nello spazio d'indirizzamento memorie, bensì in quello di I/O. Per questo il dispositivo viene suddiviso in tanti blocchi (o pagine) con una estensione di 16 Byte cadauna. La scrittura/lettura di un dato la si ottiene andando ad utilizzare direttamente i Byte dello stesso blocco che deve essere precedentemente selezionato. Il numero di blocchi varia a seconda del tipo di RAM montata ed in particolare:

RAM 2K	->	128 blocchi
RAM 8K	->	512 blocchi

La selezione del blocco avviene tramite un apposito registro allocato nello spazio di I/O. Tale registro, definito MEMIO, ha il seguente significato:

D7	->	A11 x IC 7
D6	->	A10 x IC 7
D5	->	A9 x IC 7
D4	->	A8 x IC 7
D3	->	A7 x IC 7
D2	->	A6 x IC 7
D1	->	A5 x IC 7
D0	->	A4 x IC 7

Dove:
Axx = Selezionano la pagina in uso per la SRAM tamponata (indirizzi del dispositivo).
Tale registro è utilizzabile sia per operazioni di output (settaggio della pagina) che di input (acquisizione della pagina) e viene azzerato (tutti i bit a 0) in fase di Reset o power on.
Da notare che il segnale A12 x IC 7 è sempre gestibile da software tramite il registro MEM (si veda paragrafo “MEMORY ANAGEMENT UNIT”).
Dovendo ad esempio scrivere il byte AAH all’indirizzo 0700H della SRAM tamponata, si devono effettuare le seguenti operazioni:

1) Resettare il bit D0 di MEM, effettuando una operazione di out all’indirizzo di allocazione di tale registro. Esempio: OUT 27H,00H

2) Scrivere il Byte 70H su MEMIO, effettuando una operazione di out all’indirizzo di allocazione di tale registro. Esempio: OUT 26H,70H

3) Scrivere il byte AAH sul primo Byte del blocco di 16 indirizzato. Esempio: OUT 00H,AAH

Nel caso caso in cui il componente montato su IC 7 sia un modulo di SRAM tamponata provvisto della sezione di Real Time Clock, si devono utilizzare 8 registri interni il cui significato viene di seguito riportato. Tali registri coincidono sempre con gli ultimi indirizzi dello spazio occupato dal dispositivo, in particolare:

REGISTRO	INDIRIZZO 2K	INDIRIZZO 8K
CNT	07F8H	1FF8H
SEC	07F9H	1FF9H
MIN	07FAH	1FFAH
ORE	07FBH	1FFBH
SETT	07FCH	1FFCH
GIO	07FDH	1FFDH
MES	07FEH	1FFEH
ANN	07FFH	1FFFH

FIGURA 37: TABELLA INDIRIZZAMENTO REGISTRI DEL MODULO SRAM+RTC

Con questi registri è possibile effettuare operazioni di prelevamento dell’orario e data attuale e di inizializzazione dello stesso orologio.

ANN = A7 A6 A5 A4 A3 A2 A1 A0
dove: A7-A0 = Valore dell'anno (00-99) in BCD.

MES = 0 0 0 M4 M3 M2 M1 M0
dove: M4-M0 = Valore del mese (01-12) in BCD.

GIO = 0 0 D5 D4 D3 D2 D1 D0
dove: D5-D0 = Valore del giorno del mese (01-31) in BCD.

SETT= 0 FT 0 0 0 S2 S1 S0
dove: S2 S1 S0 = Valore del giorno della settimana:
0 0 1 = Domenica
0 1 0 = Lunedì
0 1 1 = Martedì
1 0 0 = Mercoledì
1 0 1 = Giovedì
1 1 0 = Venerdì
1 1 1 = Sabato
FT = Test della frequenza di conteggio.

ORE = KS 0 O5 O4 O3 O2 O1 O0
dove: KS = Bit di start conteggio orologio.
O5-O0 = Valore delle ore (00-23) in BCD.

MIN = 0 M6 M5 M4 M3 M2 M1 M0
dove: M6-M0 = Valore dei minuti (00-59) in BCD.

SEC = ST S6 S5 S4 S3 S2 S1 S0
dove: S6-S0 = Valore dei secondi (00-59) in BCD.
ST = Bit di stop conteggio orologio.

CNT = W R S C4 C3 C2 C1 C0
dove: W = Bit di selezione operazione di scrittura.
R = Bit di selezione operazione di lettura.
S = Bit di segno per la combinazione di compensazione.
C4-C0 = Combinazione di compensazione.

Il significato dei bits é il seguente:

Bit R - Bit di selezione operazione di lettura

Per evitare che una operazione di lettura legga i dati mentre è in corso il loro aggiornamento, e quindi possa generare risultati erronei, è sufficiente porre ad "1" il bit R prima della lettura stessa. Infatti finché il bit R è ad "1" l'aggiornamento dei registri del Real Time Clock viene bloccato, e riprenderà solo dopo che il registro R sarà posto a "0". Porre ad "1" il registro R durante un aggiornamento dei tegistri RTC non interrompe lo stesso.

Bit W - Bit di selezione operazione di scrittura

Analogamente al Bit R, settando a "1" il bit W viene blocca to l'aggiornamento dei registri del Real Time Clock, permettendo all'utente di scrivervi il nuovo valore. Quando il bit W viene riportato a "0" i contatori interni vengono aggiornati coi nuovi valori inseriti dall'utente e le normali operazioni vengono ripristinate.
I bit KS, FT e tutti gli altri segnati con uno "0" nelle righe precedenti devono essere lasciati a "0".

Bit S e bits C4-C0 - Compensazione con segno del conteggio dell'orologio

Il conteggio dell'orologio può essere compensato fino a ±63,07 ppm (Parti per Millione) su un ciclo di 64 minuti caricando valori opportuni nei bits S e C4-C0.
S é il bit di segno, impostandolo a "1" si ha un allungamento del conteggio mentre impostandolo a "0" si ha un accorciamento del conteggio.
I bits C4-C0 dànno l'entità della compensazione in passi di 2,034 ppm, C0 è il bit meno significativo. Si possono quindi inserire valori da 0 a 31 nei bits C4-C0 e dotarli di segno usando il bit S, in modo da avere un compensazione massima di 31*2,034 = 63,07 ppm in più o in meno. Questo dovrebbe equilibrare qualunque variazione nella frequenza di oscillazione del quarzo interno.
Ad esempio, se il quarzo interno oscillasse esattamente a 32768 Hz, porre C4-C0 ad "1" rappresenterebbe 5,35 secondi al mese.

Bit FT - Test della frequenza di conteggio

Impostando ad "1" tale bit si avrà che il bit meno significativo del registro SEC commuterà 512 volte al secondo se il quarzo interno oscilla esattamente a 32758 Hz. Qualunque deviazione della frequenza di toggle dell'MSB di SEC riflette direttamente una deviazione nella frequenza di oscillazione del quarzo interno. Se ad esempio si rilevasse una deviazione di +10 ppm nella suddetta frequenza di toggle, allora sarà necessario compensarla inserendo -5 nei bits di compensazione del conteggio dell'orologio, ovvero porre C4-C0 a "00101" ed S a "0".
Durante tale test il chip select e gli indirizzi per il modulo RAM+RTC devono essere ben stabili.

Bits ST e KS - Bit di stop e di riattivazione dell'orologio

Per fermare l'oscillatore, e quindi risparmiare la batteria interna, è sufficiente porre a "1" il bit ST.
Per sicurezza, riattivare l'oscillatore richiede l'impego di un ulteriore bit detto di Kick Start (KS).
La procedure di inizializzazione dell'orologio deve essere composta dai seguenti passi:

1) Settare il bit W a 1
2) Resettare il bit ST a 0
3) Settare il bit KS a 1
4) Resettare il bit W a 0
5) Attendere 2 secondi
6) Settare il bit W a 1
7) Resettare il bit KS a 0 - Questo passo è indispensabile per ottilizzare la durata della batteria
8) Settare la data e l'ora desiderate
9) Resettare il bit W a 0

BAUD RATE GENERATOR

La sezione di generazione delle frequenze utilizzate dal SIO per la comunicazione seriale della scheda è in grado di generare due Baud Rate completamente separati variabili da un minimo di 300 Baud ad un massimo di 38,4K Baud con sei valori intermedi. La **GPC® 15A** consente di settare ed acquisire queste velocità di comunicazione tramite semplici operazioni di input output all'indirizzo di allocazione del registro BAUD. I bit che compongono quest'ultimo registro hanno il seguente significato:

BAUD = LD4 BB2 BB1 BB0 LD5 BA2 BA1 BA0
dove

LD4			= Gestione LED di attività LD4
BB2	BB1	BB0	= Definiscono il Buad Rate della linea seriale B
0	0	0	= seleziona Baud Rate di 300 Baud
0	0	1	= seleziona Baud Rate di 600 Baud
0	1	0	= seleziona Baud Rate di 1200 Baud
0	1	1	= seleziona Baud Rate di 2400 Baud
1	0	0	= seleziona Buad Rate di 4800 Baud
1	0	1	= seleziona Baud Rate di 9600 Baud
1	1	0	= seleziona Baud Rate di 19200 Baud
1	1	1	= seleziona Baud Rate di 38400 Baud
LD5			= Gestione LED di attività LD4
BA2	BA1	BA0	= Definiscono il Buad Rate della linea seriale A
0	0	0	= seleziona Baud Rate di 300 Baud
0	0	1	= seleziona Baud Rate di 600 Baud
0	1	0	= seleziona Baud Rate di 1200 Baud
0	1	1	= seleziona Baud Rate di 2400 Baud
1	0	0	= seleziona Buad Rate di 4800 Baud
1	0	1	= seleziona Baud Rate di 9600 Baud
1	1	0	= seleziona Baud Rate di 19200 Baud
1	1	1	= seleziona Baud Rate di 38400 Baud

La possibilità di poter acquisire il Baud Rate programmato sulle due linee seriali, tramite un'operazione di input all'indirizzo di allocazione del registro BAUD, è molto interessante quando procedure completamente separate fanno uso delle linee di comunicazione seriale, in modo da fornire la possibilità di lasciare inalterato il Baud Rate precedentemente programmato. Il registro BAUD è azzerato (tutti i bit a 0) in fase di Reset o power on, di conseguenza in seguito ad una di queste fasi viene settato un baud rate di 300 Baud su entrambe le linee seriali.

PPI 82C55

Questa periferica è vista in 4 registri: uno di stato (RC) e tre dei dati (PA, PB, PC) con cui si effettua la programmazione ed il comando della stessa. I registri dati sono utilizzati sia per operazioni di input (acquisizione linee dei port) che per quelle di output (settaggio linee dei port) ed ognuno di tali registri riporta i dati di I/O del corrispondente port. La periferica può operare in tre modi diversi:

MODO 0 = Prevede due port bidirezionali da 8 bit (A,B) e due port bidirezionali da 4 bit (C LOW, C HIGH); gli ingressi non sono latchati, mentre le uscite lo sono; nessun segnale di handshaking.

MODO 1 = Prevede due port da 12 bit (A+C LOW, B+C HIGH) dove gli 8 bit dei port A e B costituiscono le linee di I/O, mentre i 4 bit del port C costituiscono le linee di handshaking. Gli ingressi e le uscite sono latchati.

MODO 2 = Prevede un port da 13 bit (A+C3-7) dove gli 8 bit del port A costituiscono le linee di I/O, mentre i rimanenti 5 bit del port C costituiscono le linee di controllo. Un port da 11 bit (B+ C0-2) dove gli 8 bit del port B costituiscono le linee di I/O ed i rimanenti 3 bit del port C costituiscono le linee di controllo. Sia gli ingressi che le uscite sono latchate.

La programmazione della periferica avviene scrivendo un byte nel registro di controllo RC, settando gli 8 bits del dato scritto con la seguente corrispondenza:

	D7	D6	D5	D4	D3	D2	D1	D0
RC =	**SF**	**M1**	**M2**	**A**	**CH**	**M3**	**B**	**CL**

dove:

SF	= Se attivo (1) abilita il comando della periferica
M1 M2	= Selezionano il modo di funzionamento
0 0	= Selezione del modo 0
0 1	= Selezione del modo 1
1 X	= Selezione del modo 2
A	= Se attivo (1) setta il port A in input e viceversa
CH	= Se attivo setta il nibble più significativo del port C in input e viceversa
M3	= Se attivo (1) seleziona modo 1, viceversa seleziona modo 0
B	= Se attivo setta il port B in input e viceversa
CL	= Se attivo setta il nibble meno significativo del port C in input e viceversa.

Dopo una fase di reset o di power on il PPI 82C55 viene settato in modo 0 con tutti i port settati in input.

SCHEDE ESTERNE

La scheda **GPC® 15A** si interfaccia a buona parte dei moduli della serie BLOCK e di interfaccia utente. Le risorse di bordo possono essere facilmente aumentate collegando la **GPC® 15A** alle numerose schede periferiche del carteggio **grifo®** tramite l'**ABACO® BUS**. Anche schede in formato block con **ABACO® I/O BUS** possono essere collegate, sfruttando gli appositi mother boards. A titolo di esempio ne riportiamo un elenco con una breve descrizione delle carratteristiche di massima, per maggiori informazioni, richiedere la documentazione specifica:

KDL X24 - KDF 224

Keyboard Display LCD 2,4 righe 24 tasti - Keyboard Display Fluorescent 2 righe 24 tasti
Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO®** a 20 vie e tastiera a matrice esterna da 24 tasti; display alfanumerico fluorescente 20x 2 o LCD 20x2, 20x4 retroilluminato a LEDs. Predisposizione per collegamento a tastiera telefonica.

QTP 24P

Quick Terminal Panel 24 tasti con interfaccia Parallela
Interfaccia operatore provvista di display alfanumerico fluorescente 20x 2 o LCD 20x2, 20x4 retroilluminato a LEDs; tastiera a membrana da 24 tasti di cui 12 configurabili dall’utente; 16 LEDs di stato; alimentatore a bordo scheda in grado di pilotare anche carichi esterni; interdaccia parallela basata su 16 I/O TTL di un connettore normalizzato I/O **ABACO®** a 20 vie. Tasti ed etichette personalizzabili tramite serigrafie da inserire in apposite tasche; opzione di contenitore metallico.

QTP G28

Quick Terminal Panel 28 tasti con LCD grafico
Interfaccia operatore provvista di display LCD grafico da 240x128 pixel retroilluminato con lampada a catodo freddo; tastiera a membrana da 28 tasti di cui 6 configurabili dall'utente; 16 LEDs di stato; alimentatore a bordo scheda; interdaccia seriale in RS 232, RS 422-485 o current loop; linea seriale ausiliaria in RS 232. Tasti ed etichette personalizzabili dall'utente tramite serigrafie da inserire in apposite tasche; contenitore metallico e plastico; EEPROM di set up; 256K EPROM o FLASH; Real Time Clock; 128K RAM; buzzer. Firmware di gestione che svolge funzione di terminale con primitive grafiche.

MB8 01

Mother Board 8 slots **ABACO®**
Mother Board con 8 slots del BUS industriale **ABACO®**; passo 5 TE; connettori normalizzati di alimentazione e di servizio; tasto di reset; 3 LEDs per le alimentazioni; foratura per aggancio ai rack.

SPB 04

Switch Power Bus mother board 4 slots **ABACO®**
Mother Board con 4 slots del BUS industriale **ABACO®**; 1 slot per alimentatore; passo 5 TE; connettori normalizzati di alimentazione; tasto di reset; foratura per aggancio ai rack.

ABB 05

Abaco® Block BUS 5 slots
Mother board **ABACO®** da 5 slots; passo 4 TE; guidaschede; connettori normalizzati di alimentazione; tasto di reset; LEDs per alimentazioni; interfaccia **ABACO®** I/O BUS; sezione alimentatrice per +5 Vdc; sezione alimentatrice per +V Opto; sezioni alimentatrici galvanicamente isolate; tre tipi di alimentazione: da rete, bassa tensione o stabilizzata. Attacco rapido per guide Ω.

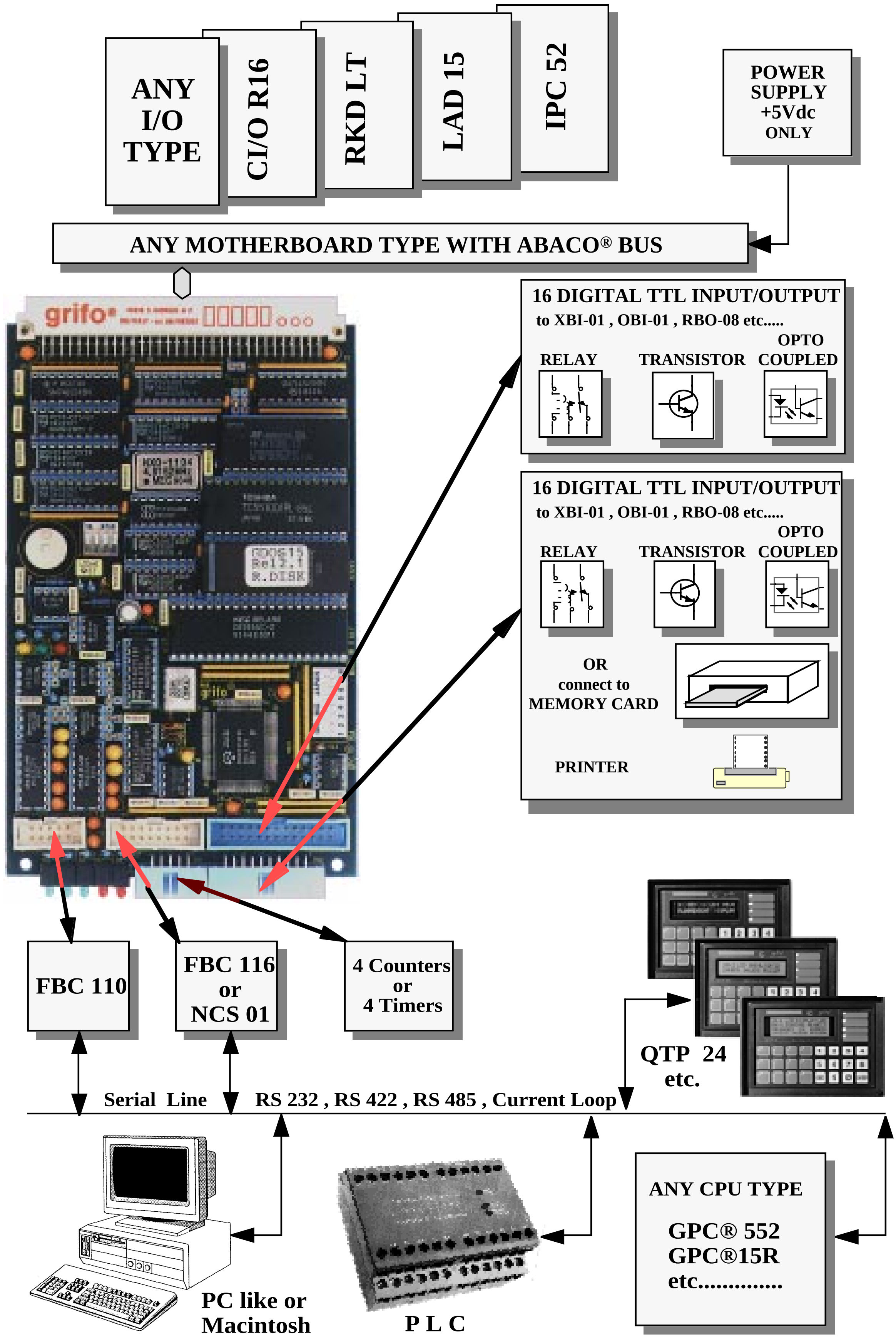


FIGURA 38: SCHEMA DELLE POSSIBILI CONNESSIONI

IAC 01
Interface Adapter Centronics
Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO®** a 20 vie e connettore a vaschetta D 25 vie femmina con pin out standard Centronics per la gestione di una stampante parallela.

OBI N8 - OBI P8
Opto BLOCK Input NPN-PNP
Interfaccia per 8 input optoisolati e visualizzati tipo NPN, PNP, connettore a morsettiera, connettore normalizzato I/O **ABACO®** a 20 vie; sezione alimentatrice; attacco rapido per guide DIN 46277-1 e 3.

TBO 01 - TBO 08
Transistor BLOCK Output
Interfaccia per 16 connettore normalizzato I/O **ABACO®** a 20 vie; 16 o 8 output a transistor in Open Collector da 45 Vcc 3 A su connettore a morsettiera. Uscite optoisolate e visualizzate; attacco rapido per guide DIN 6277-1 e 3.

RBO 08 - RBO 16
Relé BLOCK Output
Interfaccia per connettore normalizzato I/O **ABACO®** a 20 vie; 8 o 16 output visualizzati con relé da 3 A con MOV; connettore a morsettiera; attacco rapido per guide DIN 46277-1 e 3.

FBC 20 - FBC 120
Flat Block Contact 20 vie
Interfaccia tra 2 o 1 connettori a perforazione di isolante (scatolino da 20 vie maschi) e la filatura da campo (morsettiere a rapida estrazione). Attacco rapido per guide tipo DIN 46277-1 e 3.

DEB 01
Didactis Experimental Board
Scheda di supportro per l'utilizzo di 16 linee di I/O TTL. Comprende: 16 tasti; 16 LED; 4 digits; tastiera a matrice da 16 tasti; interfaccia per stampante Centronics, dislay LCD, display Fluorescente, connettore I/O **GPC® 68**; collegamento con il campo.

XBI 01
miXed BLOCK Input Output
Interfaccia tra 8 input + 8 output TTL (connettore normalizzato I/O **ABACO®** a 20 vie), con 8 output a transistor in Open Collector da 45 Vcc 3 A + 8 input con filtro a Pi-Greco (connettore a morsettiera). I/O optoisolati e visualizzati; attacco rapido per guide DIN 46277-1 e 3.

MCI 64
Memory Cards Interfaces 64 MBytes
Interfaccia per la gestione di Memory cards PCMCIA a 68 pins tramite un connettore normalizzato I/O **ABACO®**; sono disponibili driver per linguaggi ad alto livello.

DAC 16
Digital to Analog Converter 16 bits
2 D/A converter da 16 bit galvanicamente isolati; visualizzazione dati programmati; uscita ±10 Vcc; taratura offset e guadagno. BUS a 8 bit; indirizzamento normale.

UCC A2

UART Comunication Card

2 indipendenti linee seriali in RS 232, RS 422, RS 485 o current loop. Per ogni linea: buffer di 3 caratteri; comunicazione gestita dall'UART SCC 85C30; baud rate (da 50 a 115K baud), parità, stop bit e lunghezza dato programmabili via software; 4 dip switch. BUS a 8 bit; indirizzamento normale.

CI/O R16

16 Coupled Input Output Relé

16 ingressi optoisolati con filtro a Pi-Greco; tensione nominale di ingresso 24 Vcc. 16 output a microrelé da 1 A con soppressori di disturbi tipo MOV da 24 Vca. I/O visualizzati tramite LED; BUS a 8 bit; indirizzamento normale.

PCI 01

Peripheral Coupled Input

32 ingressi optoisolati con filtro a Pi-Greco; tensione nominale di ingresso 24 Vcc; ingressi visualizzati tramite LEDs; BUS a 8 o 16 bits; indirizzamento normale.

PCO 01

Peripheral Coupled Output

32 uscite a transistor in Open Collector da 45 Vcc, 500 mA, su connettore standardizzato. Uscite optoisolate e visualizzate tramite LEDs; unica tensione di alimentazione; BUS a 8 o 16 bits; indirizzamento normale.

IPC 52

Intelligent Peripheral Controller

Scheda periferica intelligente in grado di acquisire 24 segnali analogici generati da trasduttori da campo; 8 ingressi per PT 100, PT 1000; 8 ingressi per termocoppie J,K,S,T; 8 ingressi per segnali in tensione ±2 V o corrente 0÷20 mA; interrogazione tramite BUS **ABACO®** o tramite linea seriale in RS 232, RS 422-485 o current loop; 16 linee di I/O TTL; risoluzione di 16 bit più segno; 0,1 °C di precisione; 5 acquisizioni al secondo; funzionamento come data logher.

RKD LT

Remote Keyboard Display LCD Toshiba e Fluorescent FUTABA

Terminale intelligente con interfacciamento seriale (RS 232, RS 422-485, current loop) o parallelo (BUS **ABACO®**). Gestisce tastiera a matrice da 56 tasti; display fluorescenti FUTABA e/o LCD TOSHIBA; buzzer; 8 LEDs di segnalazione; EEPROM di configurazione.

JMS 34

Jumbo Multifunction Support per controllo assi

Scheda periferica per il controllo assi. 3 ingressi optoisolati per l'acquisizione di encoder incrementali bidirezionali; gestione tacca di zero. 4 canali di D/A converter da 12 bits; range di uscita ±10 V. 8 ingressi optoisolati NPN. 8 uscite a transistor in Open Collector da 45 Vcc, 500 mA. Tutte le linee di I/O visualizzate tramite LEDs; BUS a 8 bit; indirizzamento esteso.

SBP 01

Switch BLOCK Power

Alimentatore switching in grado di generare tensioni da -12 a +40 Vdc e correnti fino a 4 A; ingresso da 12 a 26 Vac; ingresso per batteria di back up; uscita di power good; connettori a morsettiera a rapida estrazione; montaggio su guide ad Ω.

BIBLIOGRAFIA

E' riportato di seguito, un elenco di manuali e note tecniche, a cui l'utente può fare riferimento per avere maggiori chiarimenti, sui vari componenti montati a bordo della scheda **GPC® 15A**.

Manuale TEXAS INSTRUMENTS: *The TTL Data Book - SN54/74 Families*
Manuale TEXAS INSTRUMENTS: *RS-422 and RS-485 Interface Circuits*
Manuale TEXAS INSTRUMENTS: *Linear Circuits Data Book - Volume 1 and 3*

Data Book SGS-THOMSON: *MEMORIES - Data Book*
Data Book SGS-THOMSON: *INDUSTRY STANDARD LINEAR ICs - Data Book*

Manuale NEC: *Microprocessors and Peripherals - Volume 3*
Manuale NEC: *Memory Products*

Manuale AMD *Flash Memory Products*

Manuale MAXIM: *New Releases Data Book - Volume IV*
Manuale MAXIM: *New Releases Data Book - Volume V*

Manuale XICOR: *Data Book*

Manuale ZILOG: *Z80 Microprocessor Family User's Manual*

Per avere tutti gli aggiornamenti di tali manuali e di tutti i data-sheet fare riferimento anche ai siti INTERNET delle case madri costruttrici.

APPENDICE A: SCHEMI ELETTRICI

In questa appendice sono disponibili gli schemi elettrici delle interfaccie per la **GPC® 15A** più frequentemente utilizzate. Tutte queste interfaccie possono essere prodotte autonomamente dall'utente mentre solo alcune di esse sono schede **grifo®** standard e possono quindi essere ordinate.

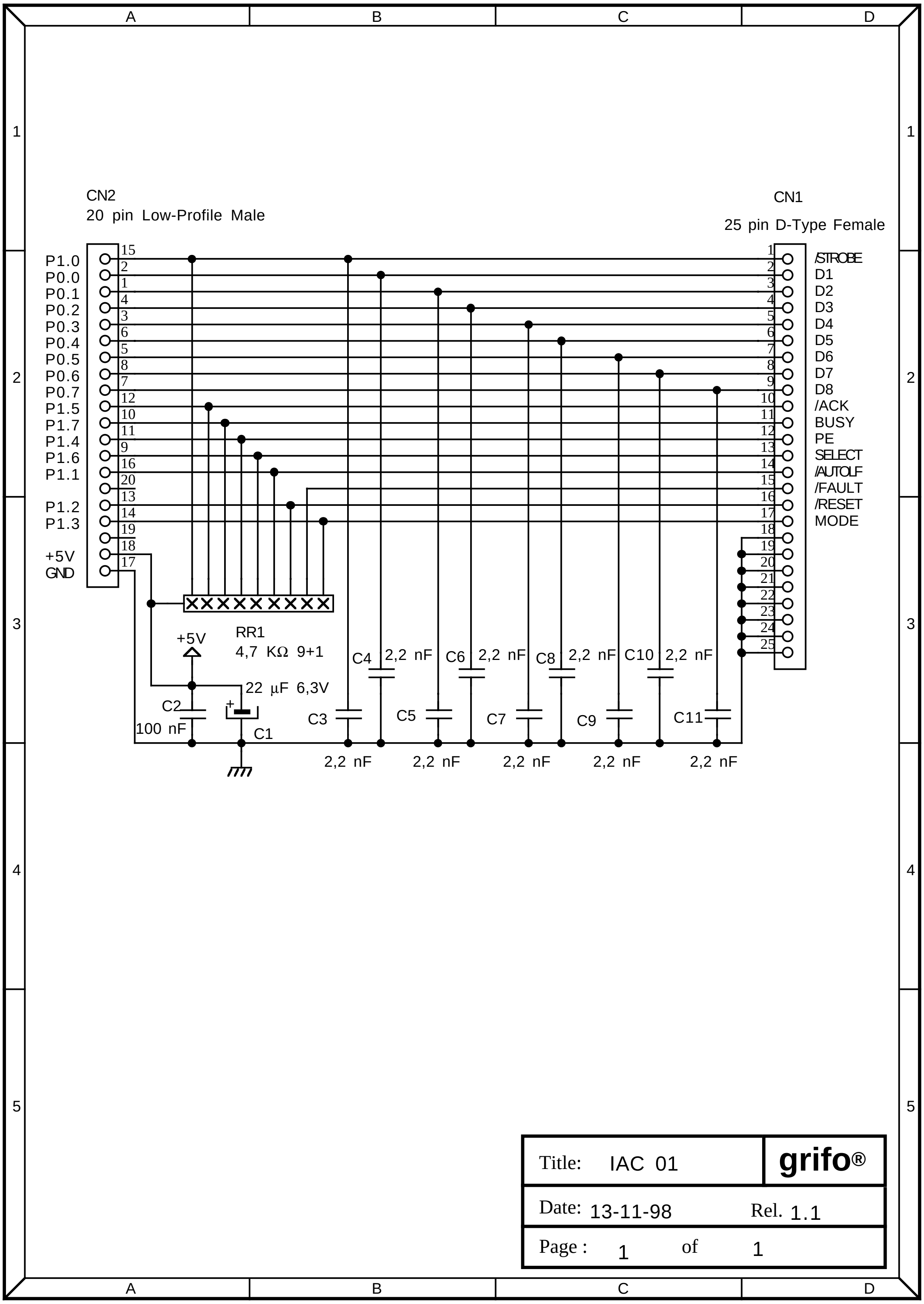


FIGURA A1: SCHEMA ELETTRICO IAC 01

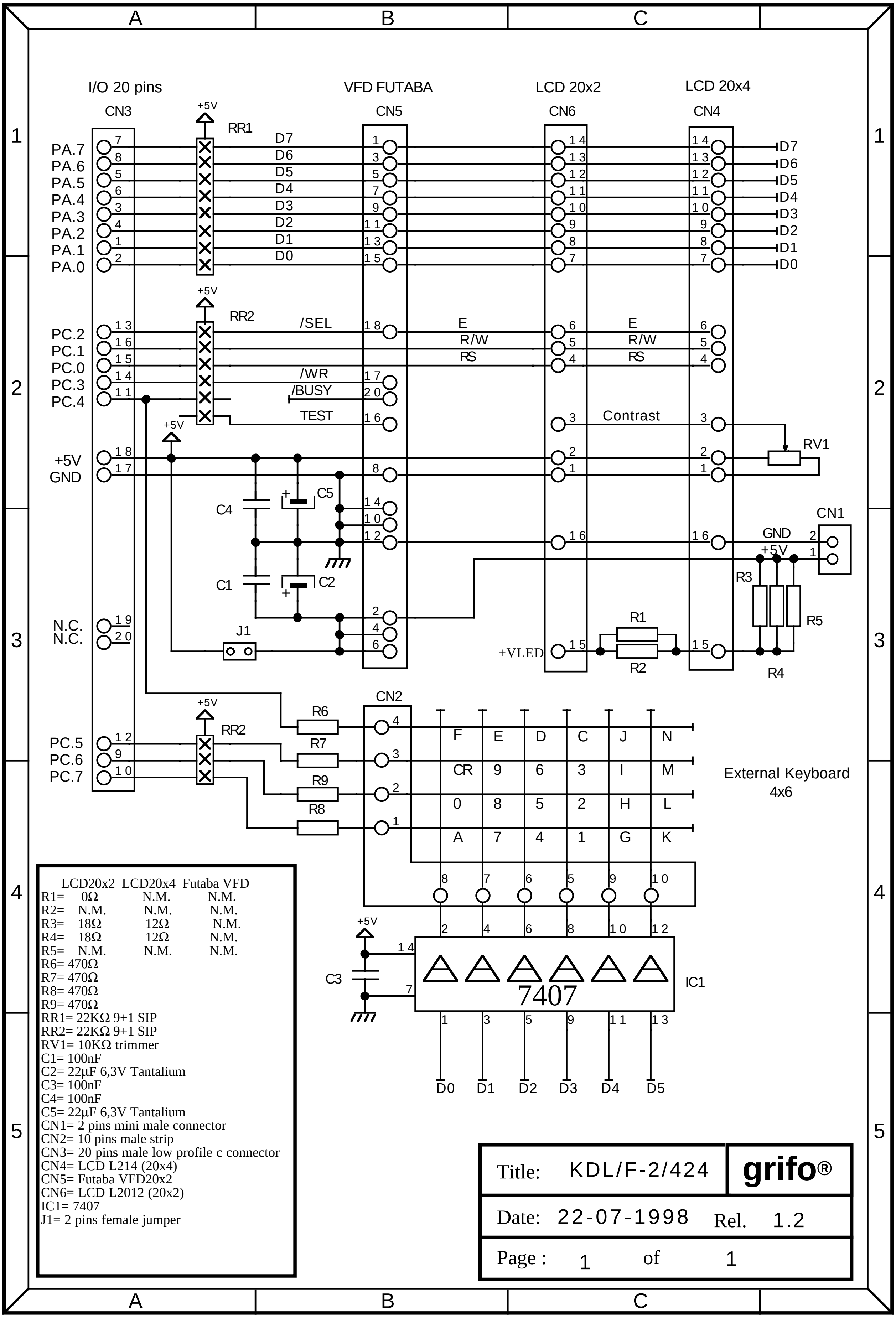


FIGURA A2: SCHEMA ELETTRICO KDx x24

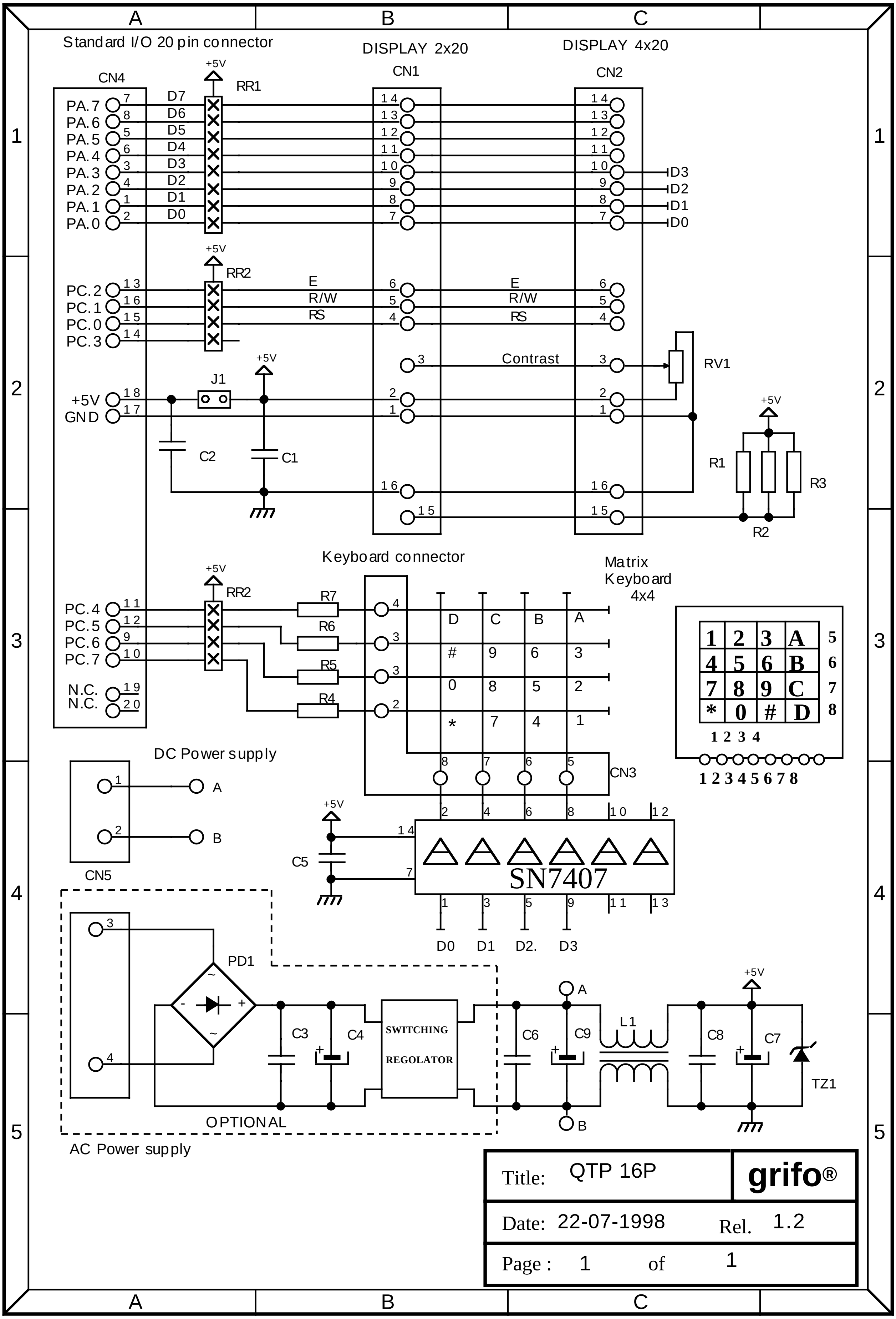


FIGURA A3: SCHEMA ELETTRICO QTP 16P

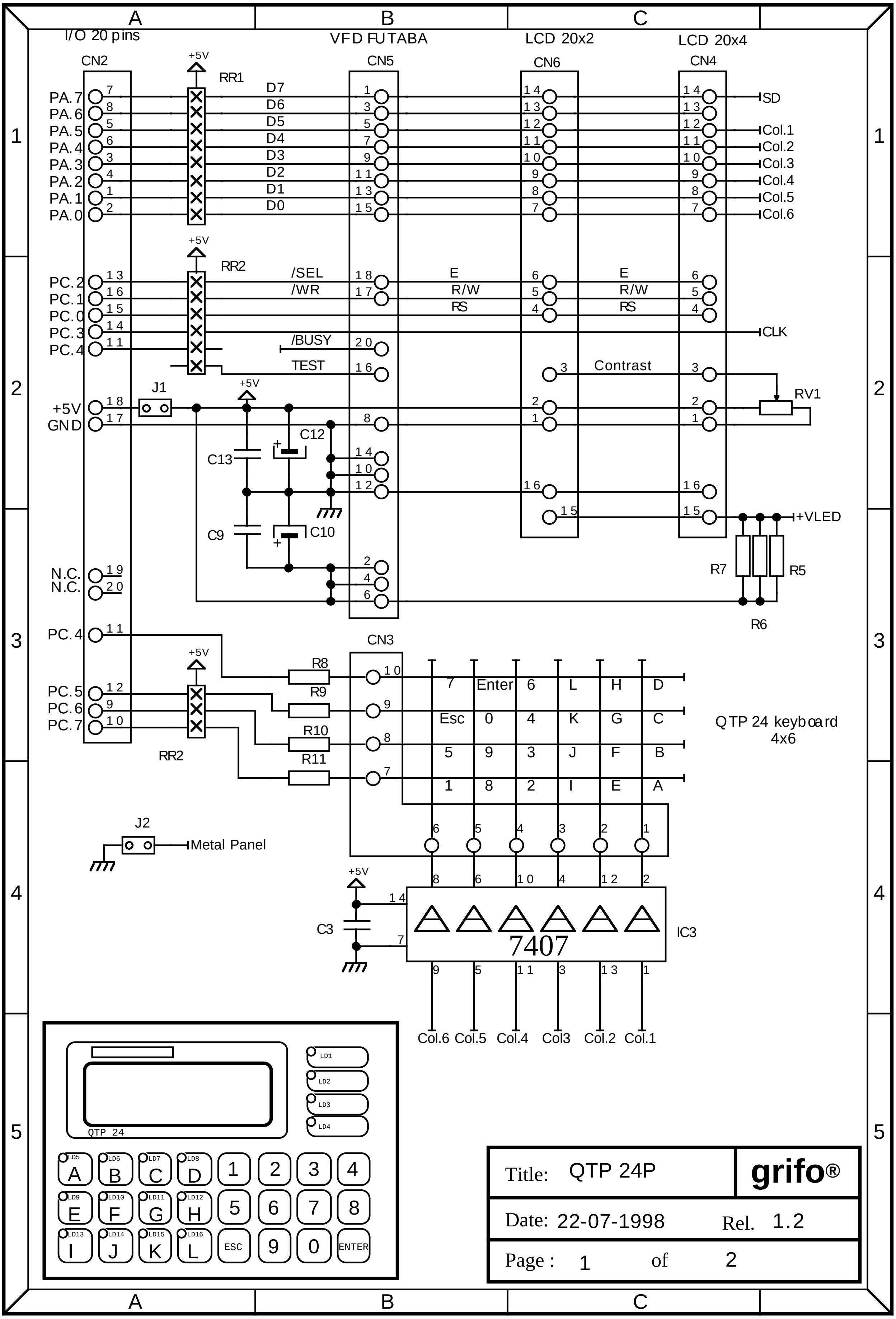


Figura A4: Schema elettrico QTP 24P - parte 1

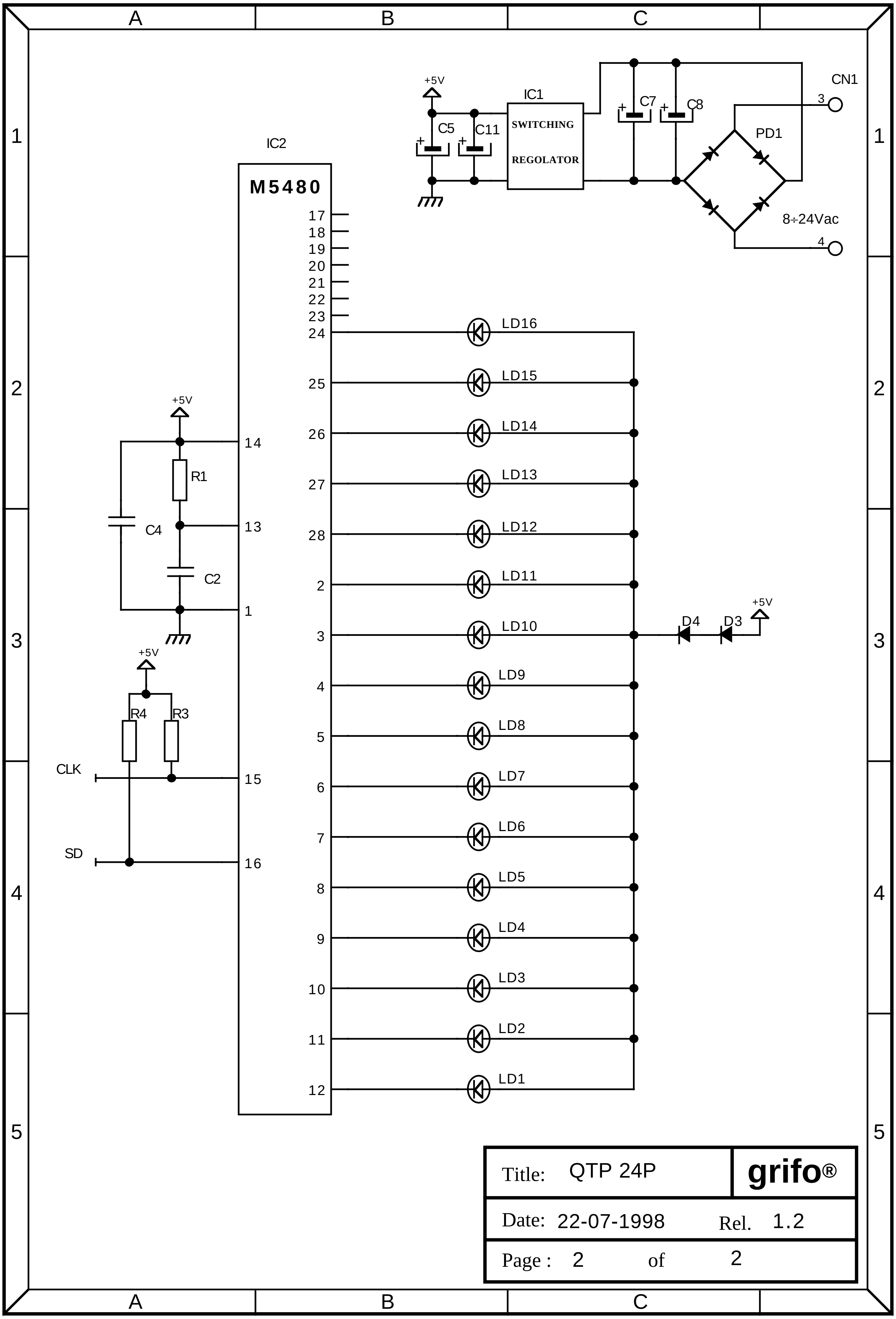


FIGURA A5: SCHEMA ELETTRICO QTP 24P - PARTE 2

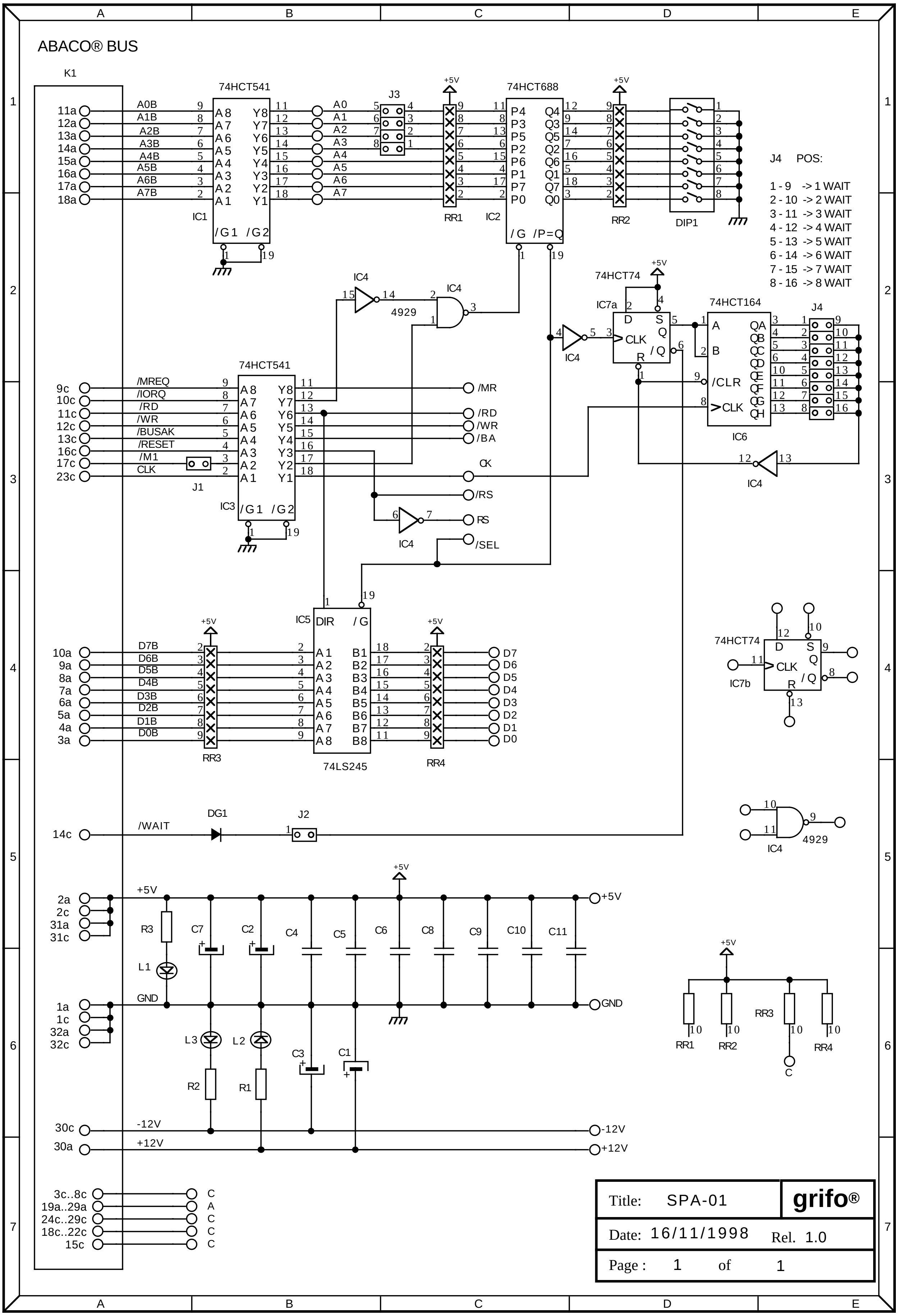


Figura A6: Schema elettrico SPA 01

APPENDICE B: DESCRIZIONE COMPONENTI DI BORDO

CPU Z84C15

ZiLOG

PRODUCT SPECIFICATION

Z84013/015 Z84C13/Z84C15

IPC INTELLIGENT PERIPHERAL CONTROLLER

FEATURES

- Z84C00 Z80 CPU with Z84C30 CTC, Z84C4X SIO, CGC, Watch Dog Timer(WDT). In addition, Z84C15 and Z84015 have Z84C20 PIO.
- High speed operation 6, 10 MHz
- 16 MHz operation for Z84C15 only.
- Low power consumption in four operation modes:
  41 mA Typ. (Run mode)
  6 mA Typ. (Idle1 mode)
  60 µA Typ. (Idle2 mode)
  0.5 µA Typ. (Stop mode)
- Wide operational voltage range (5V ± 10%).
- TTL/CMOS compatible.
- Z84013 features:
  - Z84C00 Z80 CPU
  - On-chip two channel SIO (Z80 SIO).
  - On-chip four channel Counter Timer Controller (Z80 CTC).
  - Built-in Clock Generator Controller (CGC).
  - Built-in Watch Dog Timer (WDT).
  - Noise filter to CLK/TRG inputs of the CTC.
  - 84-pin PLCC package.

  Z84015 features:
- - All Z84013 features, plus on-chip two 8-bit ports (Z80 PIO) and 100-pin QFP package.

  Z84C13/Z84C15 enhancements to Z84013/Z84015:
- - Power-on reset.
  - Addition of two chip select pins.
  - 32-bit CRC for Channel A of SIO.
  - Wait state generator.
  - Simplified EV mode selection.
  - Schmitt-trigger inputs to transmit and receive clocks of the SIO.
  - Crystal divide-by-one mode.
  - 100-pin VQFP (Z84C15 only)

2

GENERAL DESCRIPTION

The Intelligent Peripheral Controller (IPC) is a series of highly superintegrated devices with four versions. The Z84C13 and the Z84C15 are upward compatible versions of the Z84013 and the Z84015. The Z84015 is a CMOS 8-bit microprocessor integrated with the CTC, SIO, CGC, WDT and the PIO into a single 100-pin Quad Flat Pack(QFP) package. The Z84013 is the Z84015 without PIO, and is housed in a 84-pin PLCC package. The Z84C13 is the Z84013 with enhancements and the Z84C15 is the Z84015 with enhancements. These high-end superintegrated intelligent peripheral controllers are targeted for a broad range of applications ranging from error correcting modems to enhancement/cost reductions of existing hardware using Z80-based discrete peripherals. Figures 1 and 2 show the difference between the Z84013/015 and the Z84C13/Z84C15.

Hereinafter, use the word IPC on the description covering all versions (Z84C13/Z84C15 and Z84013/Z84015). Use Z84C13/C15 on the description that applies only to the Z84C13 and Z84C15, and use Z84013/015 on the description that applies only to the Z84013 and Z84015.

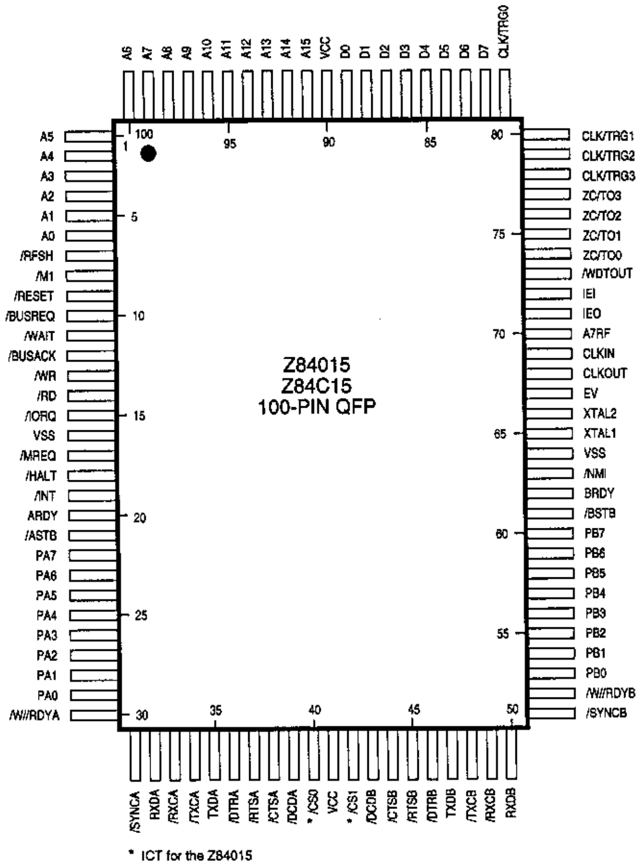


Figure 4. Z84015/Z84C15 Pin-out Assignments

PIN DEFINITIONS

The pin assignment for each device is shown in Figures 3 and 4. Following is the description on each pin. For the description and the pin number, if stated as "x13" or "x15", that applies to both Z84C13/Z84013 or Z84C15/Z84015. Otherwise, C13 for Z84C13, C15 for Z84C15, 013 for Z84013 and 015 for Z84015.

2-72

CPU SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
A0-A15	16-1(x13), 6-1, 100-91(x15)	I/O	16-bit address bus. Specifies I/O and memory addresses to be accessed. During the refresh period, addresses for refreshing are output. The bus is an input when the external master is accessing the on-chip peripherals.
D0-D7	83-76(x13), 89-82(x15)	I/O	8-bit bidirectional data bus. When the on-chip CPU is accessing on-chip peripherals, these lines are set to output and hold the data to/from on-chip peripherals.
/RD	30(x13), 14(x15)	I/O	Read signal. CPU read signal for accepting data from memory or I/O devices. When an external master is accessing the on-chip peripherals, it is an input signal.
/WR	20(x13), 13(x15)	I/O	Write Signal. This signal is output when data, to be stored in a specified memory or peripheral LSI, is on the MPU data bus. When an external master is accessing the on-chip peripherals, it is an input signal.
/MREQ	23(x13), 17(x15)	I/O, 3-State	Memory request signal. When an effective address for memory access is on the address bus, "0" is output. When an external master is accessing the on-chip peripherals, it is an tri-state signal.
/IORQ	21(x13), 15(x15)	I/O	I/O request signal. When addresses for I/O are on the lower 8 bits (A7-A0) of the address bus in the I/O operation, "0" is output. In addition, the /IORQ signal is output with the /M1 signal at the time of interrupt acknowledge cycle to inform peripheral LSI of the state of the interrupt response vector is when put on the data bus. When an external master is accessing the on-chip peripherals, it is an input signal.
/M1	17(x13), 8(x15)	I/O	Machine cycle "1". /MREQ and "0" are output together in the operation code fetch cycle. /M1 is output for every opcode fetch when a two byte opcode is executed. In the maskable interrupt acknowledge cycle, this signal is output together with /IORQ. It is 3-stated in EV mode.

2-73

CPU SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
/RFSH	26(x13), 7(x15)	Out, 3-State	The refresh signal. When the dynamic memory refresh address is on the low order byte of the address bus, /RFSH is active along with /MREQ signal. This pin is 3-stated in EV mode.
/INT	25(x13), 19(x15)	Open drain	Maskable interrupt request signal. Interrupt is generated by peripheral LSI. This signal is accepted if the interrupt enable Flip-Flop (IFF) is set to "1". The /INT signal of on-chip peripherals is internally wired - OR without pull-up resistors and requires external pull-up. Also, interrupts from on-chip peripherals go out from this pin.
/NMI	56(x13), 63(x15)	In	Non-maskable interrupt request signal. This interrupt request has a higher priority than the maskable interrupt request and does not rely upon the state of the interrupt enable Flip-Flop (IFF).
/HALT	31(x13), 81(x15)	Out, 3-State	Halt signal. Indicates that the CPU has executed a HALT instruction. This signal is 3-stated in EV mode.
/BUSREQ	18(x13), 10(x15)	In	BUS request signal. /BUSREQ requests placement of the address bus, data bus, /MREQ, /IORQ, /RD and /WR signals into the high impedance state. /BUSREQ is normally wired-OR and a pull-up resistor is externally connected.
/BUSACK	29(x13), 12(x15)	Out (013/015), Out/3-State (C13/C15)	Bus Acknowledge signal. In response to /BUSREQ signal, /BUSACK informs a peripheral LSI that the address bus, data bus, /MREQ, /IORQ, /RD and /WR signals have been placed in the high impedance state.

Note: For the Z84013/015 the /BUSACK signal will not be 3-stated during EV mode. For the Z84C13/C15 the /BUSACK will be 3-stated during EV mode.

Pin Name	Pin Number	Input/Output, 3-State	Function
/WAIT	19(x13), 11(x15)	In(013/015), I/O(C13/C15)	Wait signal. /WAIT informs the CPU that specified memory or peripheral is not ready for data transfer. As long as /WAIT signal is active, MPU is continuously kept in the wait state.

Note: For the Z84C13/C15, the /WAIT pin becomes an output to bring out on-chip wait state generator during the EV mode.

CPU SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
A7RF	55(x13), 70(x15)	Out	1-bit auxiliary address bus. Output is the same as bit-7 (A7) of the address bus. However, during a refresh cycle, this pin outputs the address which is the most significant bit of the 8-bit refresh address signal linked to the low order 7 bits of the address bus.

CTC SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
CLK/TRG0 - CLK/TRG3	75-72(x13), 81-78(x15)	In	External clock/trigger input. These four CLK/TRG pins correspond to four Counter/Timer Channels. In the counter mode, each active edge will cause the downcounter to decrement by one. In timer mode, an active edge will start the timer. It is program selectable whether the active edge is rising or falling.
ZC/TO0 - ZC/TO3	68-71(x13), 74-77(x15)	Out	Zero count/timer out signal. In either timer or counter mode, pulses are output when the down-counter has reached zero.

SIO SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
/W//RDYA, /W//RDYB	32,54(x13), 30,52(x15)	Out	Wait/Ready signal A and Wait/Ready signal B. Used as /WAIT or /READY depending upon SIO programming. When programmed as /WAIT they go active at "0", alerting the CPU that addressed memory or I/O devices are not ready by requesting the CPU to wait. When programmed as /READY, they are active at "0" which determines when a peripheral device associated with a DMA port is for read/write data.
/SYNCA, /SYNCB	33,53(x13), 31,51(x15)	I/O	Synchronous signals.In asynchronous receive mode, they act as /CTS and /CDC. In external sync mode, these signals act as inputs. In internal sync mode, they act as outputs.
RxDA, RxDB	34,52(x13), 32,50(x15)	In	Serial receive data signal.

SIO SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
/RxCA, /RxCB	35,51(x13), 33,49(x15)	In	Receive clock signal. In the asynchronous mode, the receive clocks can be 1, 16, 32, or 64 times the data transfer rate.
/TxCA, /TxCB	36,50(x13), 34,48(x15)	In	Transmitter clock signal. In the asynchronous mode, the transmitter clocks can be 1, 16, 32, or 64 times the data transfer rate.
TxDA, TxDB	37,49(x13), 35,47(x15)	Out	Serial transmit data signal.
/DTRA, /DTRB	38,48(x13), 36,46(x15)	Out	Data terminal ready signal. When ready, these signals go active to enable the terminal transmitter. When not ready they go inactive to disable the transfer from the terminal.
/RTSA, /RTSB	39,47(x13), 37,45(x15)	Out	Request to send signal. "0" when transmitting serial data. They are active when enabling their receivers to transmit data.
/CTSA, /CTSB	40,46(x13), 38,44(x15)	In	Clear to send signal. When "0", after transmitting these signals the modem is ready to receive serial data. When ready, these signals go active to enable terminal transmitter. When not ready, these signals go inactive to disable transfer from the terminal.
/DCDA, /DCDB	41,45(x13), 39,43(x15)	In	Data carrier detect signal. When "0", serial data can be received. These signals are active to enable receivers to transmit.

SYSTEM CONTROL SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
IEI	60(x13), 72(x15)	In	Interrupt enable input signal. IEI is used with the IEO to form a priority daisy chain when there is more than one interrupt-driven peripheral.
IEO	59(x13), 71(x15)	Out	The interrupt enable output signal. In the daisy chain interrupt control, IEO controls the interrupt of external peripherals. IEO is active when IEI is "1" and the CPU is not servicing an interrupt from the on-chip peripherals.
/CS0 (C13/C15 only)	42(C13), 40(C15)	Out	Chip Select 0. Used to access external memory or I/O devices. This pin has been assigned to "ICT" pin on Z84013/015. This signal is decoded only from A15-A12 without control signals. Refer to "Functional Description" on-chip select signals for further explanation.

SYSTEM CONTROL SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
/CS1 (C13/C15 only)	40(x13), 42(x15)	Out	Chip Select 1. Used to access external memory or I/O devices. This pin has been assigned to "ICT" pin on Z84013/015. This signal is decoded only from A15-A12 without control signals. Refer to "Functional Description" on-chip select signals for further explanation.
/WDTOUT	61(x13), 73(x15)	Out(013/015), Open Drain(C13/C15)	Watch Dog Timer Output signal. Output pulse width depends on the externally connected pin.
/RESET	28(x13), 9(x15)	Input(013/015), I/O (Open Drain) (C13/C15)	Reset signal. /RESET signal is used for initializing MPU and other devices in the system. Also used to return from the steady state in the STOP or IDLE modes.

Note: For the Z84013/Z84015 the /RESET must be kept in active state for a period of at least three system clock cycles.

Note: For the Z84C13/Z84C15, during the power-up sequence, the /RESET becomes an Open drain output and the Z84C13/C15 will drive this pin to "0" for 25 to 75 msec after the power supply passes through approx. 2.2V and then reverts to input. If it receives the /RESET signal after power-on sequence, it will drive /RESET pin for 16-processor clock cycles depending on the status of Reset Output Disable bit in Misc Control Register. If this Reset output is disabled, it must be kept in active state for a period of at least three system clock cycles. Note, that if using Z84C13/C15 in a Z84013/015 socket, modification may be required on the reset circuit since this pin is "pure input pin" on the Z84013/015. Also, the /RESET pin doesn't have internal pull-up resistors and therefore requires external pull-ups. For more details on the device, please refer to "Functional Description."

Pin Name	Pin Number	Input/Output, 3-State	Function
XTAL1	63(x13), 65(x15)	In	Crystal oscillator connecting terminal. A parallel resonant crystal is recommended. If external clock source is used as an input to the CGC unit, supply clock goes into this terminal. If external clock is supply to CLKIN pin (without CGC unit), this terminal must be connected to "0" or "1".
XTAL2	63(x13), 66(x15)	Out	Crystal oscillator connecting terminal.
CLKIN	67(x13), 69(x15)	In	Single-phase System Clock Input.
CLKOUT	66(x13), 68(x15)	Out	Single-phase clock output from on-chip Clock Generator/Controller.
EV	58(x13), 67(x15)	In	Evaluator signal. When "1" is applied to this pin, IPC is put in Evaluation mode.

Note: For the Z84013/015, together with /BUSREQ, the EV signal puts the IPC into the evaluation mode. When this signal becomes active, the status of /M1, /HALT and /RFSH change to input. When using Z84013/015 as an evaluator chip, the CPU is electrically disconnected after one machine cycle is executed with the EV signal "1" and the /BUSREQ signal "0". It follows the instructions from the other CPU (of ICE). Upon receiving /BUSREQ; A15-A0, /MREQ, /IORQ, /RD and /WR are changed to input and D7-D0 changes its direction. /BUSACK is NOT 3-stated so it should be disconnected by an externally connected circuit. For details, please refer to "Functional Description" on EV mode.

SYSTEM CONTROL SIGNALS (Continued)

Note: For the Z84C13/C15, to access on-chip resources from the CPU (e.g., ICE CPU), the CPU is electrically disconnected; A15-A0, /MREQ, /IORQ, /RD and /WR are changed to input; D7-D0 changes its direction; /M1, /HALT and /RFSH are put into the high impedance state when the EV pin is set to "1". Also, /BUSACK is 3-stated. For details, please refer to "Functional Description" on EV mode.

Pin Name	Pin Number	Input/Output, 3-State	Function
ICT	42,44(013), 40,42(015), Not with C13/C15	Out	Test pins. Used in the open state.
NC	24,27,57,65(x13), Not with x15		Not connected.
VCC	43,84(x13), 41,90(x15)	Power Supply	+5 Volts
VSS	22, 62(x13), 16,64(x15)	Power Supply	0 Volts

PIO SIGNALS (for the Z84x15 only)

Pin Name	Pin Number	Input/Output, 3-State	Function
/ASTB	21(x15)	In	Port A strobe pulse from a peripheral device. The signal is used as the handshake between Port A and external circuits. The meaning of this signal depends on the mode of operation selected for Port A (see "PIO Basic Timing").
/BSTB	61(x15)	In	Port B strobe pulse from a peripheral device. This signal is used as the handshake between Port B and external circuits. The meaning of this signal is the same as /ASTB, except when Port A is in mode 2 (see "PIO Basic Timing").
ARDY	20(x15)	Out	Register A ready signal. Used as the handshake between Port A and external circuits. The meaning of this signal depends on the mode of operation selected for Port A (see "PIO Basic Timing").
BRDY	62(x15)	Out	Register B ready signal. Used as the handshake between Port B and external circuits. The meaning of this signal is the same as ARDY except when Port A is in mode 2 (see "PIO Basic Timing").
PA7-PA0	22-29(x15)	I/O, 3-State	Port A data signals. Used for data transfer between Port A and external circuits.
PB7-PB0	53-60(x15)	I/O, 3-State	Port B data signals. Used for transfer between Port B and external circuits.

The following pins have different functions between 013/015 and C13/C15

Pin Name	Pin # X13	Pin # X15	Function
/RESET	28	9	Functionality is different.
/WAIT	19	15	Functionality is different.
EV	58	67	Functionality is different.
/WDTOUT	61	73	Push-pull output on Z84013/015, Open drain on Z84 C13/C15
ICT	40, 42	42, 40	(Test pin) on Z84013/015; /CS0 and /CS1 on Z84C13/15.
TxCA, TxCB, RxCA and RxCB	35, 36, 50, 51	33, 34, 48, 49	On Z84C13/15; these signals have Schmitt-triggered inputs.
/BUSACK	29	12	In EV mode, 3-stated on Z84C13/15; remains active on Z84013/015.

FUNCTIONAL DESCRIPTION

Figure 5(a) shows the functional block diagram of the Z84013/015 and Figure 5(b) shows the functional block diagram of the Z84C13/C15. As described earlier, the only difference between the Z84x13 and the Z84x15 is the PIO not being available on the Z84x13.

Functionally, the on-chip SIO, PIO (not available on Z84x13), CTC, and the Z80 CPU are the same as the discrete devices. Therefore, for detailed description of each individual unit, refer to the Product Specification/Technical Manual of each discrete product.

The following subsections describe each individual functional unit of the IPC.

Z84C00/01 Logic Unit
The CPU provides all the capabilities and pins of the Zilog Z80 CPU. This allows 100% software compatibility with existing Z80 software. In addition, it has the pin called "A7RF" to extend DRAM refresh address to 8-bits. Refer to "Z84C01 Z80 CPU with CGC" Product Specification.

Z84C20 Parallel Input/Output Logic Unit (Z84x15 Only)
This logic unit provides both TTL- and CMOS- compatible interfaces between peripheral devices and a CPU through the use of two 8-bit parallel ports (Figure 6). The CPU configures the logic to interface to a wide range of peripheral devices with no external logic. Typical devices that are compatible with this interface are keyboards, printers, and EPROM/PAL programmers.

The parallel ports (designated Port A and Port B) are byte wide and completely compatible with the Z84C20 PIO.

These two ports have several modes of operation; input, output, bi-directional, or bit control mode. Each port has two handshake signals (RDY and /STB) which are used to control data transfers. The RDY (ready) indicates that the port is ready for data transfer while /STB (strobe) is an input to the port that indicates when data transfer has occurred. Each of the ports can be programmed to interrupt the CPU upon the occurrence of specified status conditions, and generate unique interrupt vectors when the CPU responds (for more information on the operation of this portion of the logic, please refer to the Z84C20 PIO Product Specification and Technical Manual).

Z84C30 Counter/Timer Logic Unit
This logic unit provides the user with four individual 8-bit Counter/Timer Channels that are compatible with the Z84C30 CTC (Figure 7). The Counter/Timers can be programmed by the CPU for a broad range of counting and timing applications. Typical applications include event counting, interrupt and interval counting, and serial baud rate clock generation.

Each of the Counter/Timer Channels, designated Channels 0-3, have an 8-bit prescaler (when used in timer mode) and its own 8-bit counter to provide a wide range of count resolution. Each of the channels have their own Clock/Trigger input to quantify the counting process and an output to indicate zero crossing/timeout conditions. With only one interrupt vector programmed into the logic unit, each channel can generate a unique interrupt vector in response to the interrupt acknowledge cycle.

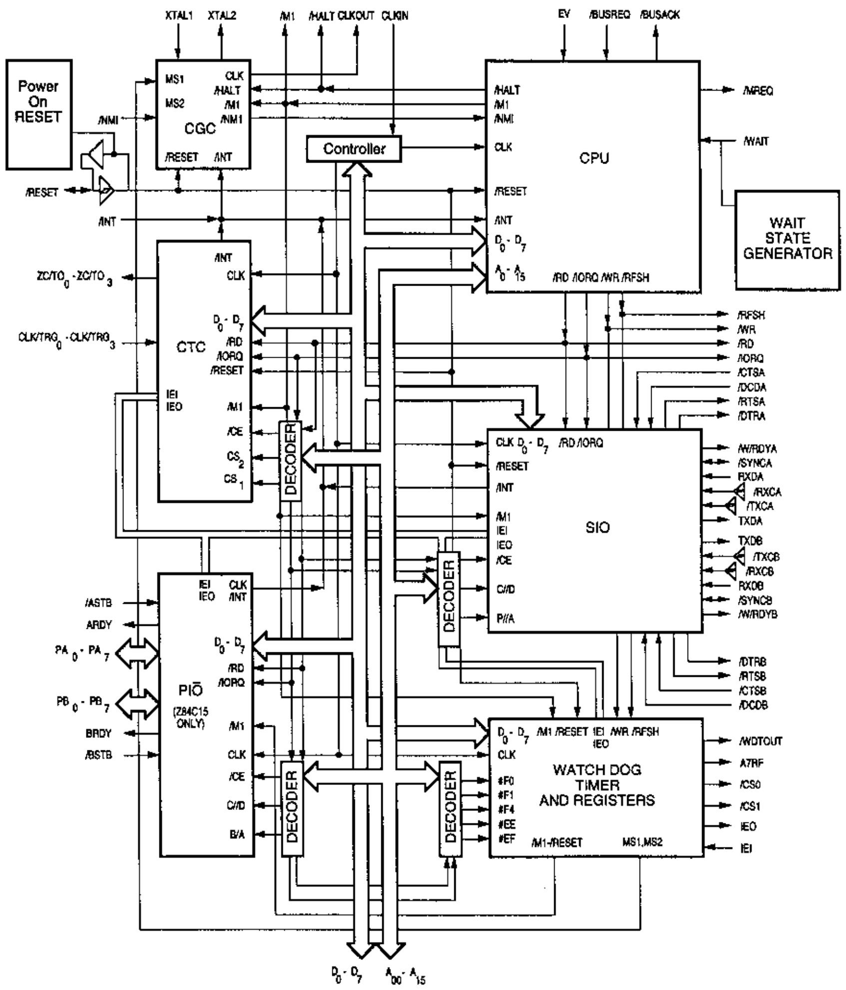


Figure 5(b). Block Diagram for 84C13/C15 IPC

2

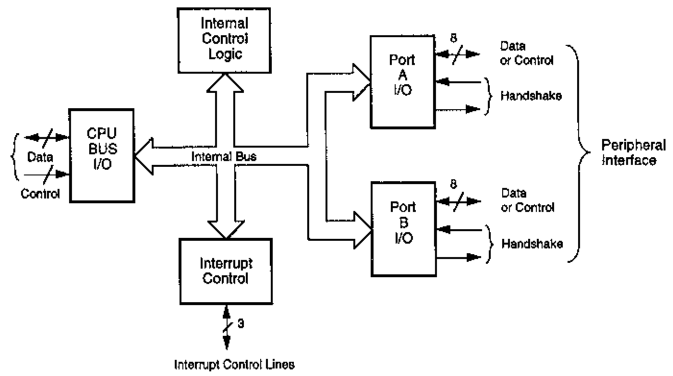


Figure 6. PIO Block Diagram

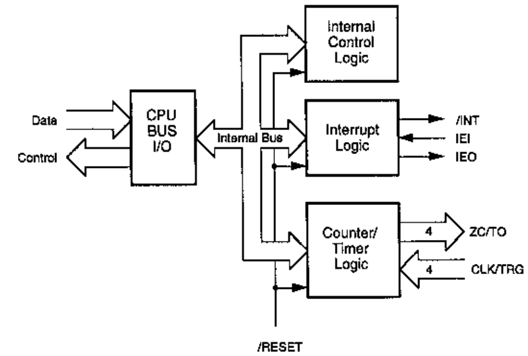


Figure 7. CTC Block Diagram

Z84C4x Serial I/O Logic Unit

This logic unit provides the user with two separate multi-protocol serial I/O channels that are completely compatible with the Z84C4x SIO. Their basic functions as serial-to-parallel and parallel-to-serial converters can be programmed by a CPU for a broad range of serial communications applications. Each channel, designated Channel A and Channel B, is capable of supporting all common asynchronous and synchronous protocols (Monosync, Bisync, and SDLC/HDLC, byte or bit oriented - Figure 8).

Z84C13/C15 Only. As an enhancement to the Z84013/015, the Z84C13/C15 can handle a 32-bit CRC on Channel A and Schmitt-trigger inputs on the /TxC and /RxC pins of both channels.

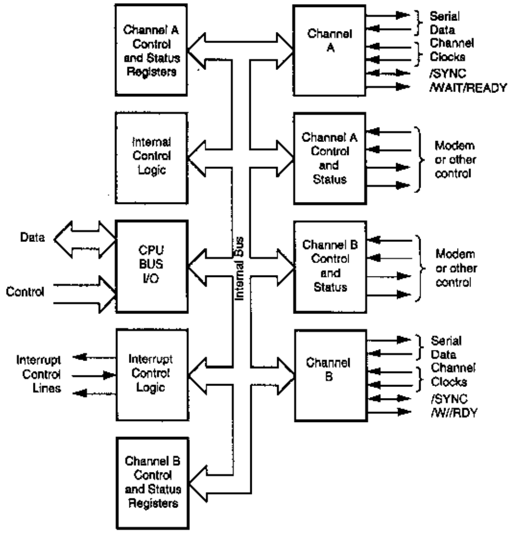


Figure 8. SIO Block Diagram

Watch Dog Timer (WDT) Logic Unit
This logic unit has been superintegrated into the IPC. It detects an operation error, caused by the program run-away, and returns to normal operation. Figure 9, shows the block diagram of the WDT. Upon Power-On Reset, this unit is enabled. If WDT is not required, but /WDTOUT is connected to /RESET or any other circuit, it has to be disabled. During the power-down mode of operation (either IDLE1/2 or Stop), the Watch Dog Timer is halted.

WDT Output (/WDTOUT pin). When the WDT is used, the "0" level signal is output from the /WDTOUT pin after a duration of time specified in the WDTP or in the WDTMR. The output pulse width is one of the following, depending on the /WDTOUT pin connection.

- The /WDTOUT is connected to the /RESET pin: The "0" level is pulsed for 5TcC (System clock cycles).
- The /WDTOUT is connected to a pin other than the /RESET pin: The "0" level is kept until the Watch Dog timer is cleared by software, or reset by /RESET pin.

CGC Logic Unit. The IPC has CGC (Clock Generator/Controller) unit. This unit is identical to the one with the Z84C01 and the Z84C50, and supports power-down modes of operation. The output from this unit is on the pin called CLKOUT, and is not connected to the system clock internally. The CLKIN pin is the system clock input. The user can connect CLKOUT to CLKIN to utilize this CGC unit, or supply external clock from CLKIN pin.

The CGC unit allows crystal input (XTAL1, XTAL2) or External Clock input on the XTAL1 pin. It has clock divide-by-two circuits and generates a half-speed clock to the input.

Z84C13/C15. The power-down modes of the IPC vary depending upon whether the system clock is fed from the CGC unit (tie CLKOUT to CLKIN) or the external clock source on the CLKIN pin. They also have divide-by-one Mode. If the clock is supplied by this CGC unit, all of the modes in "halt" state are available. When external clock is provided on the CLKIN pin, XTAL1 is not left open (tied to "0" or "1") to avoid meta-stable conditions to minimize power consumption.

2-83

2

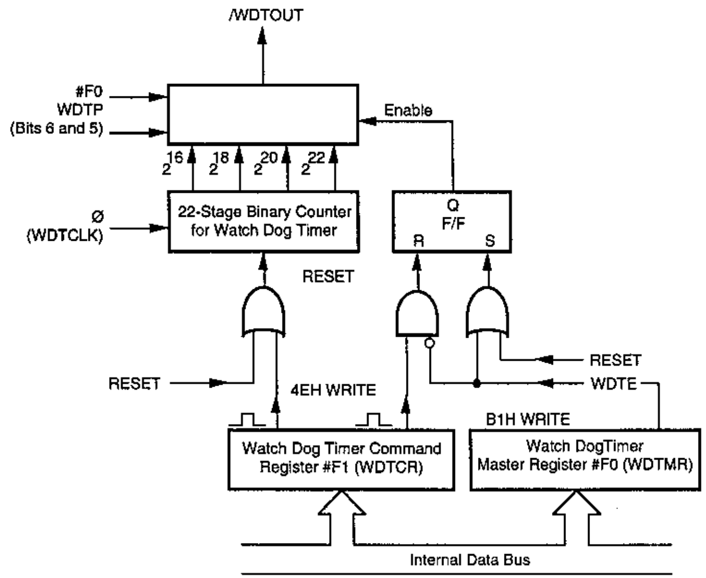


Figure 9. Block Diagram of Watch Dog Timer

Z84013/015 Only. If the system clock is provided on the CLKIN pin, none of the power-down mode (except RUN mode) is supported.

Z84C13/C15 Only. If the system clock is provided on the CLKIN pin, only the IDLE2 mode is applicable. In this mode, if the HALT instruction is executed, internal clock to the CTC is kept on "Continue", but the clock to the other components (CPU, PIO, SIO and Watch Dog Timer) are stopped. The divide-by-two circuit of the CGC unit can be skipped by programming bit D4 of the WDTMR (see "Programming" section). Upon Power-on Reset, it comes up in divide by two mode.

System Clock Generation
The IPC has a built-in oscillator circuit and the required clock can be easily generated by connecting a crystal to the external terminals (XTAL1, XTAL2). Clock output is the same frequency as half the speed of the crystal frequency. Example of oscillator connections are shown in Figure 10.

Z84C13/C15. Clock output is the same, or half, of the external frequency.

Z84X13/X15

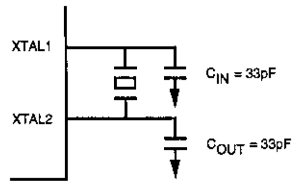


Figure 10. Circuit Configuration For Crystal

2-84

Recommended characteristics of the crystal and the values for the capacitor are as follows (the values will change with crystal frequency).

- Type of crystal: Fundamental, parallel type crystal (AT cut is recommended).
- Frequency tolerance: Application dependent.
- CL, Load capacitance: Approximately 22pf (acceptable range is 20-30pf).
- Rs, equivalent-series resistance: ≤ 150 ohms.
- Drive level:10mW (for ≤ 10MHz crystal); 5mW (for ≥ 10MHz crystal).
- $C_{IN} = C_{OUT}$ = 33pF.

Power-On Reset Logic Unit (Z84C13/C15 Only)
The Z84C13/C15 has the enhanced feature of a Power-on Reset Circuit. During the power-up sequence, the open-drain gate of the on-chip power-on Reset circuit drives /RESET pin to "0" for 25 to 75 msec after the power supply passes through approx. 2.2V. After the termination of the "Power-on Reset" cycle, the open-drain gate of the on-chip Power-on Reset circuit stops to drive the /RESET pin. It is required to have external pull-up register on the /RESET pin.

If it receives /RESET input from outside after the power-on sequence and while the Reset Output Disable bit in Misc Control Register is cleared to "0", it will drive the /RESET pin for 16-processor clock cycles from the falling edge of the external /RESET input. Otherwise, the /RESET pin must be kept in the active state for a period of at least 3 system clock cycles.

If there are power-on reset circuits outside of this device, drive this pin with OPEN-DRAIN type gates with pull-up resisters because /RESET signal is driven low for the period mentioned above during the Power-on sequence. If the external Power-on Reset circuit has push-pull type drivers and they drive the /RESET pin to "1" during that period, it may cause damage. In particular, when using Z84C13/C15 in the Z84013/015 socket, modification may be required on the external reset circuit.

Wait State Generator Unit (Z84C13/C15 Only)
The Z84C13/C15 has the enhanced feature of a Wait State Generator circuit. It is capable of generating /WAIT signals to the CPU internally. The status of the External /WAIT input line is sampled after the insertion of software wait states, except for the wait state's insertion of Interrupt Daisy Chain Wait (for this cycle, insertion of a wait state is not simple).

The Wait State Control Register can be programmed to generate multiple Wait states during different CPU cycles listed as follows.

Memory Wait and Opcode wait. The Wait State Generator can put 0 to 3 wait states in memory accesses. Additionally, one added wait state can be inserted during an /M1 (Opcode fetch) cycle, because /M1 cycle's timing requirement is tighter than memory Read/Write cycles. It generates wait states to the Memory Access in a specified address range, which is programmed in the Memory Wait Boundary Register.

I/O Wait. The Wait State generator can put 0, 2, 4 or 6 wait states in I/O accesses. Regardless of the programming of this field, no I/O wait states are inserted for accesses to on-chip peripherals.

Interrupt Vector Wait. During Interrupt acknowledge cycle, the Wait State Generator can insert one wait state after /IORQ goes active, to extend the time between /IORQ fall to vector fetch by CPU. It allows a slow vector response device.

Interrupt Daisy Chain Wait and RETI sequence extension. During Interrupt acknowledge cycle, the Wait State Generator can insert 0, 2, 4 or 6 wait states between /M1 falling to /IORQ falling edge, to extend the time required to settle daisy chain. This allows a longer daisy chain. Also, this field controls the number of wait states inserted during RETI (Return From Interrupt) cycle. If specified to insert 4 or 6 wait states during Interrupt Acknowledge cycle, Wait State Generator also inserts wait states during RETI fetch sequence. This sequence is generated with two op-code fetch cycles (Op-code is EDh followed by 4Dh). It inserts 2 or 4 wait states, respectively, if op-code followed by EDh is 4Dh. One wait state if the following op-code is not 4Dh.

Chip Select Signals (Z84C13/C15 Only)
The Z84C13/C15 has an enhanced feature of adding two chip select (/CS0, /CS1) pins. Both signals are originally IC test pins (ICT) on the Z84013/015. The boundary value for each Chip Select Signal is 4 bits wide, and compare with A15-A12 of the address. Each Chip Select Signal goes active when:

/CS0: (D3-D0 of CSBR) ≥ A15-A12 ≥ 0
/CS1: (D7-D4 of CSBR) ≥ A15-A12 > (D3-D0 of CSBR)

(Where CSBR is the contents of Chip Select Boundary Register.)

There is also a separate /CS enable bit. /CS0 is enabled on power-up with a boundary value of "F" causing /CS0 to go active for all memory accesses. /CS1 is disabled on

2

power-up, and boundary address is undefined. These features are controlled via the I/O control registers located at I/O address EEh and EFh. Note that a glitch may be observed on these pins because address decode logic is decoding only A15-A12, without any control signals. For more detail, please refer to the "Programming section."

Other functional features (Z84C13/C15 Only)
For more system design flexibility, the Z84C13/C15 has the following unique features. These features are controlled by MCR (Misc. Control Register) which is indirectly accessed via the System Control Register Pointer (SCRP, I/O address EEh), and System Control Data Port (SCDP, I/O address EFh). For more details, please refer to the "Programming" section.

- Clock Divide-by-one option
- Reset Output Disable
- 32-bit CRC Generation/Checking

Clock Divide-by-One Option. This feature is programmed through Bit D4 of MCR. Upon Power-On reset, the Clock from on-chip CGC is passed through a divide-by-two circuit. By setting this bit to one, the divide-by-two circuit is bypassed so the clock on the CLKOUT pin is equal to X'tal input. If the clock is applied to the CLKIN pin from external clock source, the status of this bit is ignored. Upon Power-on Reset, it is cleared to 0. For details, please refer to "Programming" section.

Reset Output Disable. This feature is programmed by Bit D3 of MCR. If this bit is cleared to "0", The /RESET pin becomes "Open-drain output" and is driven to "0" for 16-clock cycles from the falling edge of /RESET input. This feature is for the cases where /RESET is used to get out from the "HALT" state. If this bit is set to one, the on-chip reset circuit will not drive /RESET pin.

32-bit CRC Generation/Checking. This feature is programmed by Bit D2 of MCR. By setting this bit to one, Channel A of SIO is set to use the 32-bit CRC generator/checker instead of the original 16-bit CRC generator/checker in synchronous communication modes. The polynomial to be used in this mode is the one for the protocols such as V.42, and is (X32 + X26 + X23+ X22 + X16 + X12 + X11 + X10 + X8 + X7 + X5 + X4 + X2 + X + 1). Upon Power-on Reset, this bit is cleared to 0.

Evaluation Mode
The IPC has a built evaluation (or development) mode feature which allows the users to utilize standard Z80 development systems conveniently. This mode virtually replaces the on-chip Z80 CPU with the external CPU. In this mode, the on-chip CPU is electrically disconnected from internal bus and all 3-state signals (A15-0, D7-0, /MREQ, /IORQ, /RD, /WR, /HALT, /M1 and /RFSH; for C13/C15, /BUSREQ as well) are tri-stated, or changed to input. This allows the development system CPU to take over and use the internal I/O registers of the IPC exactly as if the CPU was on-chip.

Z84013/015 Only. When this signal is active,the /M1, /HALT and /RFSH pins are put in the high-impedance state. In using the Z84013/015 as an evaluator chip, the CPU is electrically disconnected (put in high-impedance state) after one machine cycle is executed with the EV signal being "1" and the /BUSREQ signal being "0". Then, on-chip resources can be accessed from the outside. /BUSACK is disconnected by an externally connected circuit.

Z84C13/C15 Only. If the EV pin is tied to Vcc on Power-up, the Z84C13/C15 enters into an evaluation mode. In this mode, the internal CPU is immediately disconnected from the internal bus and all 3-state signals mentioned above are tri-stated, or changed to input. Note that the /WAIT pin became the OUTPUT pin in EV mode, and the Wait State Generator generates wait states only as programmed. If the target application board has a separate wait state generator, modification of the target may be required. /BUSACK is 3-stated in this mode.

The Z84C13/C15 behaves similarly to the situation where in regular operation, the /BUSREQ signal is asserted by an external master causing all 3-state signals to be tri-stated by the Z84C13/C15 during T1 of the following machine cycle. The /BUSREQ approach was not used for the evaluation mode to avoid significant external circuitry to work around the time period before the external CPU uses the bus for Z84C13/C15 accesses.

PROGRAMMING

I/O address assignment
The IPC 's on-chip peripherals' I/O addresses are listed in Table 1. They are fully decoded from A7-A0 and have no image.The registers with Z84C13/C15 located at I/O address EEh and EFh are the registers to control enhanced features to Z84013/015, and not assigned on Z84C013/015.

Table 1. I/O Control Register Address

Address	Device	Channel	Register
10h 11h 12h 13h	CTC CTC CTC CTC	Ch 0 Ch 1 Ch 2 Ch 3	Control Register Control Register Control Register Control Register
18h 19h 1Ah 1Bh	SIO SIO SIO SIO	Ch. A Ch. A Ch. B Ch. B	Data Register Control Register Data Register Control Register
1Ch 1Dh 1Eh 1Fh	PIO PIO PIO PIO	Port A Port A Port B Port B	Data Register (Not with Z84x13) Command Register (Not with Z84x13) Data Register (Not with Z84x13) Command Register (Not with Z84x13)
F0h F1h F4h	Watch-Dog Timer Watch-Dog Timer Interrupt Priority Register		Master Register (WDTMR) Control Register (WDTCR)
EEh EFh			System Control Register Pointer (SCRP) (Not with Z84013/015) System Control Data Port (SCDP) (Not with Z84013/015)
	Through SCRP and SCDP		Control Register 00 - Wait State Control register (WCR) Control Register 01 - Memory Wait state Boundary Register (MWBR)
			Control Register 02 - Chip Select Boundary Register (CSBR) Control Register 03 - Misc. Control Register (MCR)

PIO REGISTERS

For more detailed information, please refer to the PIO Technical Manual. These registers are not in the Z84x13.

Interrupt Vector Word
The PIO logic unit is designed to work with the Z80 CPU in interrupt Mode 2. The interrupt word must be programmed if interrupts are used. Bit D0 must be a zero (Figure 11).

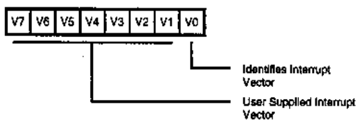


Figure 11. PIO Interrupt Vector Word

2

Mode Control Word
Selects the port operating mode. This word is required and is written at any time (Figure 12).

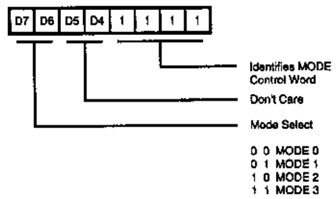


Figure 12. PIO Mode Control Word

I/O Register Control Word
When Mode 3 is selected, the Mode Control Word is followed by the I/O Register Control Word. This word configures the I/O register, which defines which port lines are inputs or outputs. A "1" indicates input while a "0" indicates output. This word is required when in Mode 3 (Figure 13).

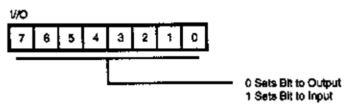
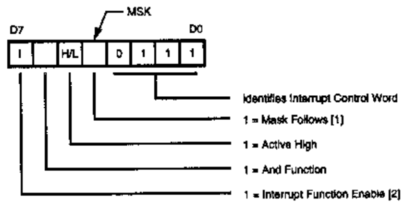


Figure 13. I/O Register Control Word

Interrupt Control Word
In Mode 3 operation, handshake signals are not used. Interrupts are generated as a logic function of the input signal levels. The Interrupt Control Word sets the logic conditions and the logic levels required for generating an interrupt. Two logic conditions or functions are available: AND (if all input bits change to the active level, an interrupt is triggered), OR (if any one of the input bits change to the active logic level, an interrupt is triggered). The user can program which input bits are to be considered as part of this logic function. Bit D6 sets the logic function, bit D5 sets the logic level, and bit D4 specifies a mask control word to follow (Figure 14).



Note:
[1] Regardless of the operating mode, setting Bit D4 = 1 causes any pending interrupts to be cleared.
[2] The port interrupt is not enabled until the interrupt function enable is followed by an active /M1.

Figure 14. Interrupt Control Word

Mask Control Word
This word sets the mask control register, thus allowing any unused bits to be masked off. If any bits are to be masked, then bit D4 of the interrupt Control Word is set. When bit D4 of the interrupt Control Word is set, then the next word programmed is the Mask Control Word. To mask an input bit, the corresponding Mask Control Word bit is a "1" (Figure 15).

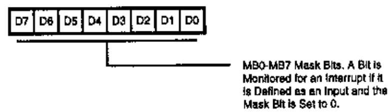


Figure 15. Mask Control Word

Interrupt Disable Word
This word can be used to enable or disable a port's interrupts without changing the rest of the port's interrupt conditions (Figure 16).

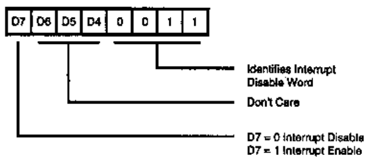


Figure 16. Interrupt Disable Word

CTC CONTROL REGISTERS

For more detailed information, refer to the CTC Technical Manual.

Channel Control Word
This word sets the operating modes and parameters as described below. Bit D0 is a "1" to indicate that this is a Control Word (Figure 17).

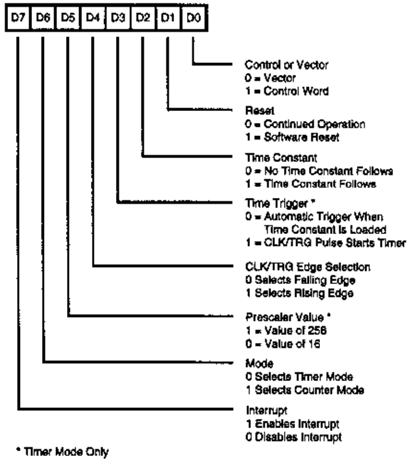


Figure 17. CTC Channel Control Word

Bit D7. *Interrupt Enable.* This bit enables the interrupt logic so that an internal INT can be generated at zero count. Interrupts are programmed in either mode and may be enabled or disabled at any time.

Bit D6. *Mode Bit.* This bit selects either Timer Mode or Counter Mode.

Bit D5. *Prescalor Factor.* This bit selects the prescalor factor for use in the timer mode. Either divide-by-16 or divide-by-256 is available.

Bit D4. *Clock/Trigger Edge Selector.* This bit selects the active edge of the CLK/TRG input pulses.

Bit D3. *Timer Trigger.* This bit selects the trigger mode for timer operation. Either automatic or external trigger may be selected.

Bit D2. *Time Constant.* This bit indicates that the next word programmed is time constant data for the downcounter.

Bit D1. *Software Reset.* Writing 1 to this bit indicates a software reset operation, which stops counting activities until another time constant word is written.

Time Constant Word
Before a channel starts counting, it must receive a time constant word. The time constant value is anywhere between 1 and 256, with "0" being accepted as a count of 256 (Figure 18).

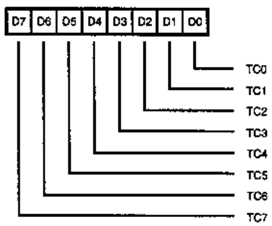


Figure 18. CTC Time Constant Word

Interrupt Vector Word
If one or more of the CTC channels have interrupt enabled, then the Interrupt Vector Word must be programmed. Only the five most significant bits of this word are programmed, and bit D0 must be "0". Bits D2-D1 are automatically modified by the CTC channels when it responds with an interrupt vector (Figure 19).

2

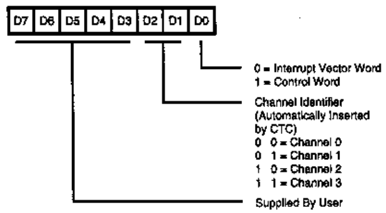


Figure 19. CTC Interrupt Vector Word

SIO REGISTERS

For more detailed information, refer to the SIO Technical Manual.

Read Registers. The SIO channel B contains three read registers while channel A contains only two that are read to obtain status information. To read the contents of a register (rather than RR0), the program must first write a pointer to WR0 in exactly the same manner as a write operation. The next I/O read cycle will place the contents of the selected read registers onto the data bus (Figure 20a, b, c).

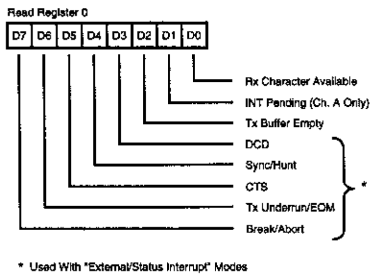


Figure 20a. SIO Read Register 0

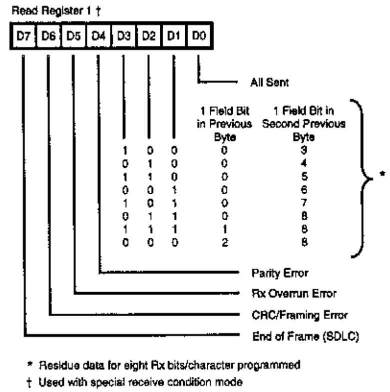


Figure 20b. SIO Read Register 1

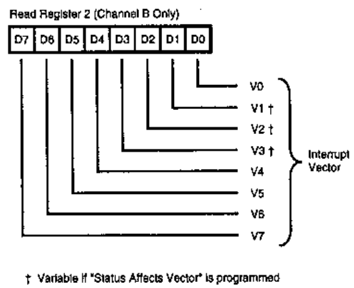


Figure 20c. SIO Read Register 2

Write Registers. The SIO Channel B contains eight write registers while Channel A contains only seven that are programmed to configure the operating mode characteristics of each channel. With the exception of WR0, programming the write registers is a two step operation. The first operation is a pointer written to WR0 which points to the selected register. The second operation is the actual control word that is written into the register to configure the SIO channel (Figure 21).

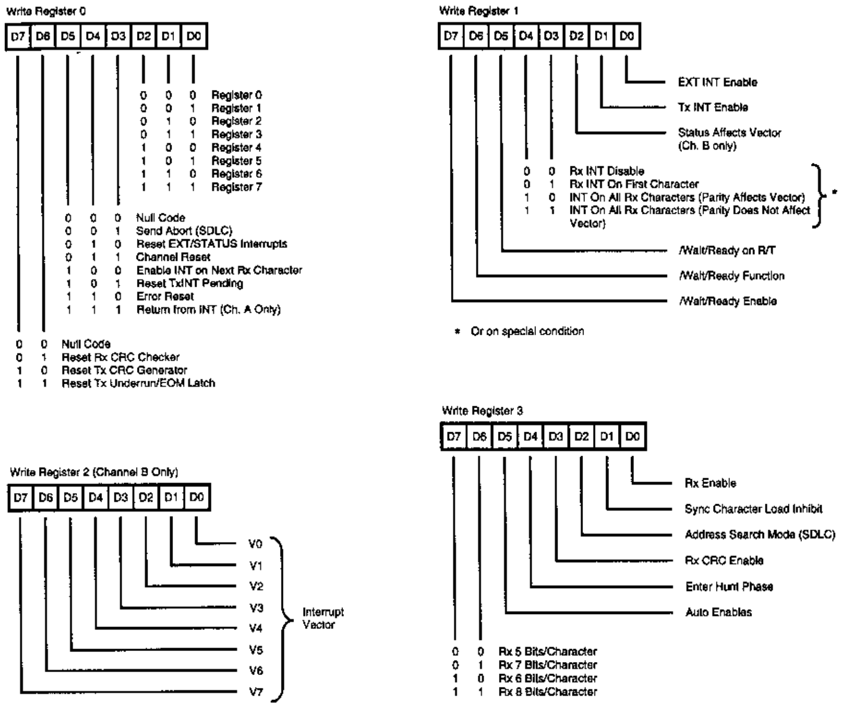


Figure 21. SIO Write Registers

2

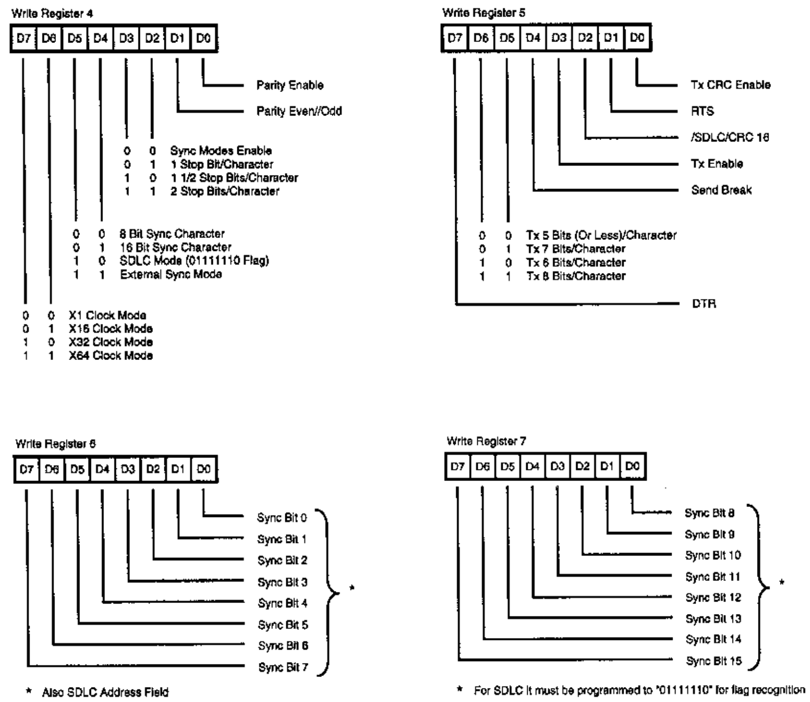


Figure 21. SIO Write Registers (Continued)

WATCH DOG CONTROL REGISTERS

There are two registers to control Watch Dog Timer operations. These are Watch Dog Timer Master Register (WDTMR; I/O Address F0h) and the WDT Command Register (WDTCR; I/O Address F1h). Watch Dog Timer Logic has a "double key" structure to prevent the WDT disabling error, which may lead to the WDT operation to stop due to program runaway. Programming the WDT follows this procedure. Also, these registers program the power-down mode of operation. The "Second key" is needed when turning off the Watch Dog Timer.

Enabling the WDT. The WDT is enabled by setting the WDT Enable Bit (D7:WDTE) to "1" and the WDT Periodic field (D5,D6:WDTP) to the desired time period. These command bits are in the Watch Dog Timer Master Register (WDTMR; I/O Address F0h).

Disabling the WDT. The WDT is disabled by clearing WDT Enable bit (WDTE) in the WDTMR to "0" followed by writing "B1h" to the WDT Command Register (WDTCR; I/O Address F1h).

Clearing the WDT. The WDT can be cleared by writing "4Eh" into the WDTCR.

Watch Dog Timer Master Register (WDTMR;I/O address F0h). This register controls the activities of the Watch Dog Timer and selects power-down mode of operation (Figure 22).

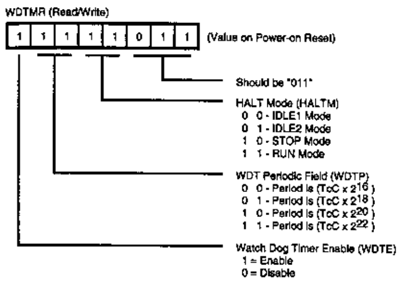


Figure 22. Watch Dog Timer Master Register

Bit D7. *Watch Dog Timer Enable* (WDTE). This bit controls the activities of Watch Dog Timer. The WDT can be enabled by setting this bit to "1". To disable WDT, write "0" to this bit followed by writing "B1h" in the WDT Command Register. Watch Dog Timer Logic has a "double key" structure to prevent the WDT disabling error, which may lead to the WDT operation to stop, due to program run-away. Upon Power-on reset, this bit is set to "1" and the WDT is enabled.

Bit D6-D5. *WDT Periodic field* (WDTP). This two bit field determines the desired time period. Upon Power-on reset, this field sets to "11".

00 - Period is (TcC * 2^{16})
01 - Period is (TcC * 2^{18})
10 - Period is (TcC * 2^{20})
11 - Period is (TcC * 2^{22})

Bit D4-D3. *HALT mode* (HALTM). This two bit field specifies one of four power-down modes. To change this field, write "DBh" to the WDT command register, followed by a write to this register. For detailed descriptions of this field, please refer to the section "Mode of operations." Upon Power-on Reset, this field is set to 11, which specifies "RUN mode."

00 - IDLE 1 Mode
01 - IDLE 2 Mode
10 - STOP Mode
11 - RUN Mode

Bit D2-D0. *Reserved.* These three bits are reserved and should always be programmed as "011". A read to these bit returns "011".

Watch Dog Timer Command Register (WDTCR; I/O address F1h). In conjunction with the WDTMR, this register works as a "Second key" for the Watch Dog Timer. This register is write only (Figure 23).

Write B1h after clearing WDTE to "0" - Disable WDT.
Write 4Eh - Clear WDT.
Write DBh followed by a write to HALTM - Change Power-down mode.

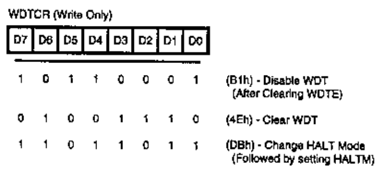


Figure 23. Watch Dog Timer Command Register

2

INTERRUPT PRIORITY REGISTER
(INTPR; I/O address F4h)

This register (write only) is provided to determine the interrupt priority for the CTC, SIO and the PIO (Figure 24).

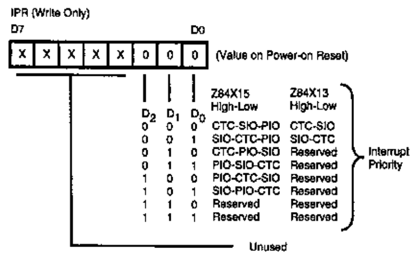


Figure 24. Interrupt Priority Register

Bit D7-D3. Unused

Bit D2-D0. This field specifies the order of the interrupt daisy chain. Upon Power-on Reset, this field is set to "000".

	Z84C15 High - Low	Z84C13 High - Low
000	CTC-SIO-PIO	CTC-SIO
001	SIO-CTC-PIO	SIO-CTC
010	CTC-PIO-SIO	Reserved
011	PIO-SIO-CTC	Reserved
100	PIO-CTC-SIO	Reserved
101	SIO-PIO-CTC	Reserved
110	Reserved	Reserved
111	Reserved	Reserved

REGISTERS FOR SYSTEM CONFIGURATION

(The following registers are not available on Z84013/015.) There are four indirectly accessible registers to determine System configuration with the Z84C13/C15. These indirectly accessible registers are: Wait State Control Register (WCR, Control Register 00h), Memory Wait Boundary Register (MWBR, Control Register 01h), Chip Select Boundary Register (CSBR, Control Register 02h) and Misc. Control Register (MCR, Control Register 03h). To access these registers, Z84C13/C15 writes "register number to be accessed" to the System Control Register Pointer (SCRP, I/O address EEh), and then accesses the target register through the System Control Data Port (SCDP, I/O address EFh). The pointer which writes into SCRP is kept until modified.

System Control Register Pointer (SCRP, I/O address EEh) This register stores the pointer to access System Control Registers (WCR, MWBR, CSBR and MCR). This register is Read/Write and it holds the pointer value until modified. Upon Power-on Reset, all bits are cleared to zero. The pointer value, other than 00h to 03h is reserved and is not written. Upon Power-on Reset, this register is set to "00h" (Figure 25).

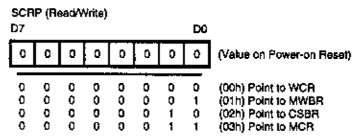


Figure 25. System Control Register Pointer

System Control Data Port (SCDP, I/O address EFh) This register is to access WCR, MWBR, CSBR and MCR (Figure 26).

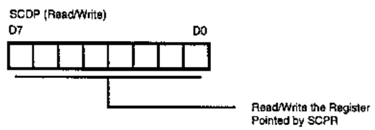


Figure 26. System Control Data Port

Wait State Control Register (WCR, Control Register 00h) This register can be accessed through SCDP with the pointer value 00h in SCRP (Figure 27). To maintain compatibility with the Z84013/015, the Z84C13/C15 inserts the maximum number of wait states (set all bits of this register to one) for fifteen /M1 cycles after Power-on Reset. It automatically clears the contents of this register (move to no-wait state insertion) on the trailing edge of the 16th /M1 signal unless software has programmed a value. If automatic wait state insertion is needed, the wait state is programmed within this time period. A read to WCR during this period will return FFh, unless programmed.

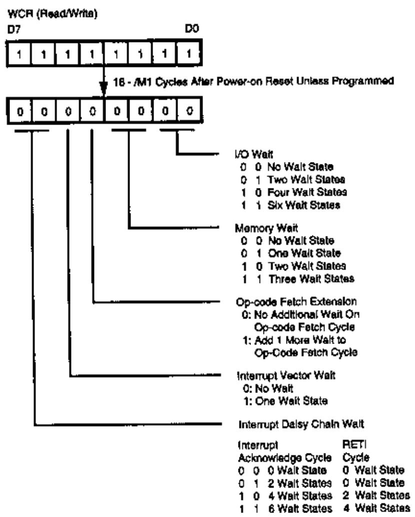


Figure 27. Wait State Control Register

This register has the following fields:

Bit 7-6. *Interrupt Daisy Chain Wait.* This 2-bit field specifies the number of wait states to be inserted during an Interrupt Daisy Chain settle period of the Interrupt Acknowledge cycle, which is/IORQ falls after the settling period from /M1 going active "0". Also, this field controls the number of wait states inserted during the RETI (Return From Interrupt) cycle. If specified to insert 4 or 6 wait states during Interrupt Acknowledge cycle, the Wait state generator also inserts wait states during RETI fetch sequence. This sequence is formed with two op-code fetch cycles (Op-code is EDh followed by 4Dh). It inserts 1 wait state if op-code followed by EDh is NOT 4Dh, and inserts 2 or 4 wait states, respectively, if the following op-code is 4Dh.

Interrupt Acknowledge	RETI cycle
00 - No Wait states	No Wait states
01 - 2 Wait states	No Wait states
10 - 4 Wait states	2 Wait states
11 - 6 Wait states	4 Wait states

For fifteen /M1 cycles from Power-on Reset, bits 7-6 are set to "11". They clear to "00" on the trailing edge of the 16th /M1 signal unless programmed.

Bit 5. *Interrupt Vector Wait.* While this bit is set to one, the wait state generator inserts one wait state after the /IORQ signal goes active during the Interrupt acknowledge cycle. This gives more time for the vector read cycle. While this bit is cleared to zero, no wait state is inserted (standard timing). For fifteen /M1 cycles from Power-on Reset, this bit is set to "1", then cleared to "0" on the trailing edge of the 16th /M1 signal, unless programmed.

Bit 4. *Opcode Fetch Extension.* If this bit is set to "1", one additional wait state is inserted during the Op-code fetch cycle in addition to the number of wait states programmed in the Memory Wait field. For fifteen /M1 cycles from Power-on Reset, this bit is set to "1", then cleared to "0" on the trailing edge of the 16th /M1 signal, unless programmed.

Bit 3-2. *Memory Wait States.* This 2-bit field specifies the number of wait states to be inserted during memory Read/Write transactions.

00 - No Wait states
01 - 1 Wait states
10 - 2 Wait states
11 - 3 Wait states

For fifteen /M1 cycles from Power-on Reset, these bits are set to "11", then cleared to "00" on the trailing edge of the16th /M1 signal, unless programmed.

Bit 1-0. *I/O Wait states.* This 2-bit field specifies the number of wait states to be inserted during I/O transactions.

00 - No Wait states
01 - 2 Wait states
10 - 4 Wait states
11 - 6 Wait states

For fifteen /M1 cycles from Power-on Reset, these bits are set to "11", then cleared to "00" on the trailing edge of the16th /M1 signal, unless programmed. For the accesses to the on-chip I/O registers, no Wait states are inserted regardless of the programming of this field.

Memory Wait Boundary Register
(MWBR, Control Register 01h)
This register specifies the address range to insert memory wait states. When accessed memory addresses are within this range, the Memory Wait State generator inserts Memory Wait States specified in the Memory Wait field of WCR (Figure 28).

2

2-95

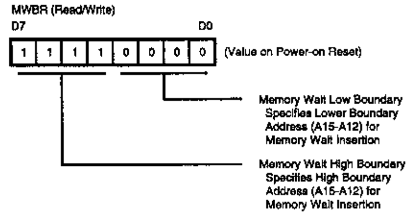


Figure 28. Memory Wait Boundary Register

Bit D7-D4. *Memory Wait High Boundary.* This field specifies A15-A12 of the upper address boundary for Memory Wait.

Bit D3-D0. *Memory Wait Low Boundary.* This field specifies A15-12 of the lower address boundary for Memory Wait.

Memory Wait states are inserted for the address range:

(D7-D4 of MWBR) ≥ A15-A12 ≥ (D3-D0 of MWBR)

This register is set to "F0h" on Power-on Reset, which specifies the address range for Memory Wait as "0000h to FFFFh".

Chip Select Boundary Register
(CSBR, Control Register 02h)
This register specifies the address range for each chip select signal. When accessed memory addresses are within this range, chip select signals are active (Figure 29).

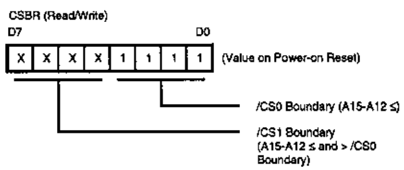


Figure 29. Chip Select Boundary Register

D7-D4. */CS1 Boundary Address.* These bits specify the boundary address range for /CS1. The bit values are ignored on power-up as the /CS1 enable bit is off. The /CS1 is asserted if the address lines A15-12 have an address value greater than the programmed value for /CS0, and less than or equal to the programmed value in these bits.

D3-D0. */CS0 Boundary Address.* These bits specify the boundary address range for /CS0. /CS0 is asserted if the address lines A15-12 have an address value less than or equal to the programmed boundary value. The /CS0 enable bit in the MCR must be set to 1. Upon Power-up reset, these bits come up as all 1's so that /CS0 is asserted for all addresses.

Chip Select signals are active for the address range:

/CS0: (D3-D0 of CSBR) ≥ A15-A12 ≥ 0
/CS1: (D7-D4 of CSBR) ≥ A15-A12 >
(D3-D0 of CSBR)

This register is set to "xxxx1111b" on Power-on Reset, which specifies the address range of /CS0 for "0000h to FFFFh" (all Memory location) and /CS1 "undefined."

Misc Control Register (MCR, Control Register 03h)
This register specifies miscellaneous options on this device (Figure 30).

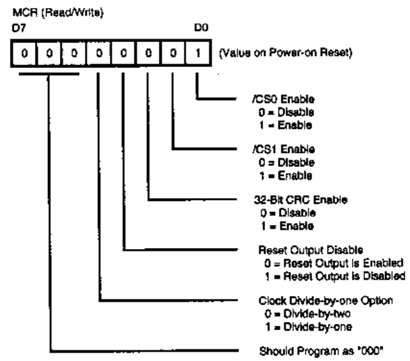


Figure 30. Misc Control Register

Bit D7-D5. *Reserved.* These three bits are reserved and are always programmed as "000".

Bit D4. *Clock Divide-by-one option.* "0"-Disable, "1"-enable. On-chip CGC unit has divide-by-two circuit. By setting this bit to one, this circuit is bypassed and CLKOUT is equal to X'tal oscillator frequency (or external clock input on the XTAL1 pin). This bit has no effect when the on-chip CGC unit is not in use and the external system clock is fed from CLKIN pin. Upon Power-on Reset, this bit is cleared to 0 and the clock is divided by two.

2-96

Bit D3. *Reset Output Disable.* "0"-Reset output is enabled, "1"-Reset output is disabled. This bit controls the /RESET signal and is driven out when reset input is used to take the Z84C13/C15 out of the "Halt" state. The reset pulse is driven out for 16-clock cycles from the falling edge of /RESET input, unless this bit is set. Upon Power-on reset, this bit is cleared to 0.

Bit D2. *32-Bit CRC enable.* "0"-Normal mode (16-bit CRC) "1"-32-bit CRC generation/Checking is enabled on SIO Channel A. This bit determines if the 32-bit CRC feature is enabled on Channel A of the SIO. If this bit is 0, the SIO is in a normal mode of operation. If this bit is set to 1, a normal CRC generator/checker is replaced with a 32-bit CRC generator/checker. Upon Power-on Reset, this bit is clear to "0".

Bit D1. */CS1 Enable. "0"-Disable, "1"-Enable.* This bit enables /CS1 output. While this bit is "0", /CS1 is forced to "1". While this bit is "1", /CS1 carries the address range specified in the CSBR. Upon Power-on Reset, this bit is cleared to "0".

Bit D0. */CS0 Enable. "0"-Disable, "1"-Enable.* This bit enables /CS0 output. While this bit is "0", /CS1 pin is forced to "1". While this bit is "1", the /CS0 carries address range specified in the CSBR. Upon Power-on Reset, this bit is set to "1".

Operation modes
There are four kinds of operation modes available for the IPC in connection with clock generation; RUN Mode, IDLE1/2 Modes and STOP Mode.

The Operation mode is effective when the HALT instruction is executed. Restart of the MPU from the stopped state under IDLE1/2 Mode or STOP mode is affected by inputting either /RESET or interrupt (/NMI or /INT). The mode selection of these power-down modes is made by programming the HALTM field (Bit D4-3) of WDTMR.

Setting Halt Mode
Duplicate control is provided to prevent the stopping of the WDT operation caused by the halt mode setting an error due to program runaway. As described in the programming section, changing the Halt Mode field of WDTMR is in two steps. First, write "DBh" to WDTCR followed by a write to the WDTMR with the value in HALTM. Table 2 has descriptions of each mode, and Table 3 has device status in the Halt state.

2

Table 2. Power-down Modes
(When using on-chip CGC unit; CLKOUT and CLKIN are tied together)

Operation Mode	WDTMR Bit D4	Bit D3	Description at HALT State
RUN Mode	1	1	The IPC continues the operation and continuously supplies a clock to the outside.
IDLE1 Mode	0	0	The internal oscillator's operation is continued. Clock output (CLKOUT) as well as internal clock to the CPU, PIO, SIO, CTC and the Watch Dog Timer is stopped at "0" level of T4 state in the halt instruction operation code fetch cycle.
IDLE2 Mode	0	1	The internal oscillator and the CTC's operation continues and supplies clock to the outside on the CLKOUT pin continuously. But the internal clock to the CPU, PIO, SIO and the Watch Dog Timer is stopped at "0" level of T4 state in the halt instruction operation code fetch cycle.
STOP Mode	1	0	All operations of the internal oscillator, clock (CLK) output, internal clock to the CPU, PIO, CTC, SIO and the Watch Dog Timer are stopped at "0" level of T4 state in the halt instruction operation code fetch cycle.

2-97

Table 3. Device status in Halt state
(When using on-chip CGC unit; CLKOUT and CLKIN are tied together)

Mode	CGC	CPU	CTC	PIO	SIO	WDT	CLKOUT
IDLE1	O	X	X	X	X	X	X
IDLE2	O	X	O	X	X	X	O
STOP	X	X	X	X	X	X	X
RUN	O	O	O	O	O	O	O

O: Operating
X: Stop

All of the operating modes listed here are valid with crystal input (Crystal connected between XTAL1/2 or external clock input on XTAL1). For the external clock on the CLKIN pin, only the IDLE2 and RUN modes are applicable.

TIMING

Basic Timing
The basic timing is explained here with emphasis placed on the halt function relative to the clock generator. The following items are identical to those for the Z84C00. Refer to the data sheet for the Z84C00.

- Operation code fetch cycle
- Memory Read/Write operation
- Input/Output operation
- Bus request/acknowledge operation
- Maskable interrupt request operation
- Non-Maskable interrupt request operation
- Reset Operation

Operation When HALT Instruction is Executed. When the CPU fetches a halt instruction in the operation code fetch cycle, /HALT goes active (Low) in synch with the falling edge of T4 state before the peripheral LSI and CPU stops the operation. After this, the system clock generation differs depending upon the operation mode (RUN Mode, IDLE1/2 Mode or STOP Mode). If the internal system clock is running, the CPU continues to execute NOP instruction even in the halt state.

RUN Mode (HALTM = 11). Shown in Figure 31 is the basic timing when the halt instruction is executed in RUN Mode.

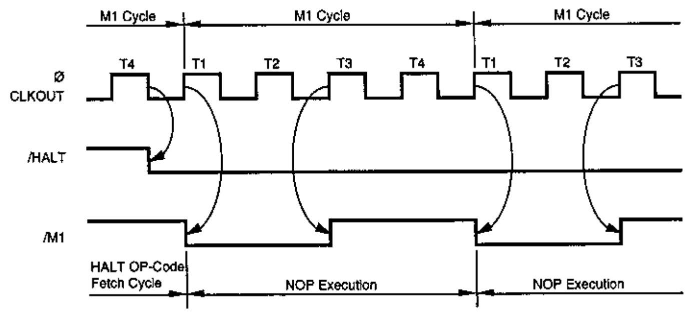


Figure 31. Timing of RUN Mode
(at Halt Instruction Command Execution)

2-98

APPENDICE C: INDICE ANALITICO